

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Yasuhiro NIHEI, et al.

GAU:

SERIAL NO: New Application

EXAMINER:

FILED: Herewith

FOR: CIRCUIT FOR GENERATING PIXEL CLOCK WITH FINE PHASE CONTROL

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number , filed , is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. Date Filed
- ☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:

<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2003-031057	February 7, 2003

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. filed
- ☐ were submitted to the International Bureau in PCT Application Number
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. filed ; and
- ☐ (B) Application Serial No.(s)
☐ are submitted herewith
☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.


Marvin J. Spivak

Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124

Customer Number

22850

Tel. (703) 413-3000
Fax. (703) 413-2220
(OSMMN 05/03)

日 本 国 特 許 庁
JAPAN PATENT OFFICE

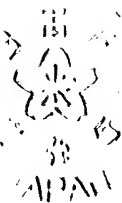
別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 3 年 2 月 7 日
Date of Application:

出 願 番 号 特 願 2 0 0 3 - 0 3 1 0 5 7
Application Number:
[ST. 10/C] : [J P 2 0 0 3 - 0 3 1 0 5 7]

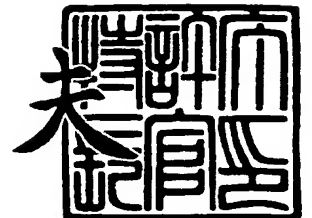
出 願 人 株 式 会 社 リ コ ー
Applicant(s):



2 0 0 4 年 1 月 6 日

特 許 庁 長 官
Commissioner,
Japan Patent Office

今 井 康 夫



出 証 番 号 出 証 特 2 0 0 3 - 3 1 0 8 6 1 5

【書類名】 特許願

【整理番号】 0205243

【提出日】 平成15年 2月 7日

【あて先】 特許庁長官 殿

【国際特許分類】 H04N 1/04

【発明の名称】 画素クロック生成回路及び画像形成装置

【請求項の数】 8

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社 リコー
内

【氏名】 二瓶 靖厚

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社 リコー
内

【氏名】 石田 雅章

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社 リコー
内

【氏名】 大森 淳史

【発明者】

【住所又は居所】 東京都大田区中馬込1丁目3番6号 株式会社 リコー
内

【氏名】 小篠 団

【特許出願人】

【識別番号】 000006747

【氏名又は名称】 株式会社 リコー

【代表者】 桜井 正光

【代理人】

【識別番号】 100073760

【弁理士】

【氏名又は名称】 鈴木 誠

【選任した代理人】

【識別番号】 100097652

【弁理士】

【氏名又は名称】 大浦 一仁

【手数料の表示】

【予納台帳番号】 011800

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809191

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 画素クロック生成回路及び画像形成装置

【特許請求の範囲】

【請求項 1】 高周波クロックを生成する高周波クロック生成手段と、

前記高周波クロック生成手段から出力される高周波クロックと画素クロックの出力スタートタイミングを示す水平同期信号と画素クロックの遷移タイミングを指示する位相データとに基づいて画素クロックを生成する画素クロック生成手段と、

を有することを特徴とする画素クロック生成回路。

【請求項 2】 請求項 1 記載の画素クロック生成回路において、前記画素クロック生成手段は、

前記水平同期信号を前記高周波クロックに同期させた位相同期信号として出力する位相同期信号生成手段と、

前記位相同期信号あるいは画素クロックの遷移を検出する検出手段と、

前記検出手段からの出力と画素クロックの遷移タイミングを指示する位相データに基づいて制御信号を生成する制御信号生成手段と、

前記制御信号生成手段の出力に基づいて画素クロックの遷移を行う画素クロック制御手段と、

を有することを特徴とする画素クロック生成回路。

【請求項 3】 請求項 1 記載の画素クロック生成回路において、前画素クロック生成手段は、

前記水平同期信号を前記高周波クロックの立上がりに同期させた第 1 位相同期信号と、前記水平同期信号を前記高周波クロックの立下りに同期させた第 2 位相同期信号と、前記水平同期信号の入力タイミングを示す水平同期状態信号を出力する位相同期信号生成手段と、

前記高周波クロックと前記第 1 位相同期信号と位相データに基づいて第 1 クロックを生成する第 1 クロック生成手段と、

前記高周波クロックと前記第 2 位相同期信号と位相データに基づいて第 2 クロックを生成する第 2 クロック生成手段と、

前記水平同期状態信号により前記第1クロックと前記第2クロックのいずれかを選択し、画素クロックとして出力するクロック選択手段と、
を有することを特徴とする画素クロック生成回路。

【請求項4】 請求項1記載の画素クロック生成回路において、前画素クロック生成手段は、

前記水平同期信号を前記高周波クロックの立上がりに同期させた第1位相同期信号と、前記水平同期信号を前記高周波クロックの立下りに同期させた第2位相同期信号と、前記水平同期信号の入力タイミングを示す水平同期状態信号を出力する位相同期信号生成手段と、

前記高周波クロックと前記第1位相同期信号と位相データに基づいて第1クロックを生成する第1クロック生成手段と、

前記高周波クロックと前記第2位相同期信号と位相データに基づいて第2クロックを生成する第2クロック生成手段と、

前記水平同期状態信号と位相データにより前記第1クロックと前記第2クロックのいずれかを選択し、画素クロックとして出力するクロック選択手段と、
を有することを特徴とする画素クロック生成回路。

【請求項5】 請求項1記載の画素クロック生成回路において、前画素クロック生成手段は、

前記水平同期信号を前記高周波クロックに同期させた複数の位相同期信号を生成しそのいずれかを出力する位相同期信号生成手段と、

前記位相同期信号あるいは画素クロックの遷移を検出する検出手段と、

前記検出手段からの出力と画素クロックの遷移タイミングを指示する位相データに基づいて制御信号を生成する制御信号生成手段と、

前記制御信号生成手段の出力に基づいて画素クロックの遷移を行う画素クロック制御手段と、

を有することを特徴とする画素クロック生成回路。

【請求項6】 請求項1記載の画素クロック生成回路において、前画素クロック生成手段は、

前記水平同期信号を前記高周波クロックの立上がりに同期させた複数の位相同期

信号を生成しそのいずれかを選択し第1位相同期信号として出力し、また、前記水平同期信号を前記高周波クロックの立下りに同期させた複数の位相同期信号を生成しそのいずれかを選択し第2位相同期信号として出力し、また前記水平同期信号の入力タイミングを示す水平同期状態信号を出力する位相同期信号生成手段と、

前記高周波クロックと前記第1位相同期信号と位相データに基づいて第1クロックを生成する第1クロック生成手段と、

前記高周波クロックと前記第2位相同期信号と位相データに基づいて第2クロックを生成する第2クロック生成手段と、

前記水平同期状態信号により前記第1クロックと前記第2クロックのいずれかを選択し、画素クロックとして出力するクロック選択手段と、
を有することを特徴とする画素クロック生成回路。

【請求項7】 請求項1記載の画素クロック生成回路において、前画素クロック生成手段は、

前記水平同期信号を前記高周波クロックの立上がりに同期させた複数の位相同期信号を生成しそのいずれかを選択し第1位相同期信号として出力し、また、前記水平同期信号を前記高周波クロックの立下りに同期させた複数の位相同期信号を生成しそのいずれかを選択し第2位相同期信号として出力し、また、前記水平同期信号の入力タイミングを示す水平同期状態信号を出力する位相同期信号生成手段と、

前記高周波クロックと前記第1位相同期信号と位相データに基づいて第1クロックを生成する第1クロック生成手段と、

前記高周波クロックと前記第2位相同期信号と位相データに基づいて第2クロックを生成する第2クロック生成手段と、

前記水平同期状態信号と位相データにより前記第1クロックと前記第2クロックのいずれかを選択し、画素クロックとして出力するクロック選択手段と、
を有することを特徴とする画素クロック生成回路。

【請求項8】 光源から出力される光束を、偏向器により走査方向に沿って被走査媒体上を走査させることにより画像を形成する画像形成装置において、請

求項 1 乃至 7 のいずれか 1 項に記載の画素クロック生成回路を具備することを特徴とする画像形成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、レーザプリンタ、デジタル複写機、その他、広く画像形成装置で用される画素クロックの生成及び位相制御に関し、詳しくは、画素クロックの高精度の位相制御を実現する画素クロック生成回路及びそれを備えた画像形成装置に関する。

【0002】

【従来の技術】

レーザプリンタ、デジタル複写機等の画像形成装置の一般的構成を図 25 に示す。図 25 において、半導体レーザユニット 1001 から発光されたレーザ光は、回転するポリゴンミラー 1002 によりスキャンされ、走査レンズ 1003 を介して被走査媒体である感光体 1004 上に光スポットを形成し、その感光体 1004 を露光して静電潜像を形成する。このとき、1 ライン毎に、フォトディテクタ 1005 の出力信号に基づいて、1 ライン毎、位相同期のとられた画像クロック（画素クロック）を生成して画像処理ユニット 1006 とレーザ駆動回路 1007 へ供給する。このようにして、半導体レーザユニット 1001 は、画像処理ユニット 1006 により生成された画像データと位相同期回路 1009 により 1 ライン毎に位相が設定された画像クロックに従い、半導体レーザの発光時間をコントロールすることにより、被走査媒体である感光体 1004 上の静電潜像をコントロールする。

【0003】

このような走査光学系において、ポリゴンスキャナ等の偏向器の偏向反射面の回転軸からの距離のばらつきは、被走査面上を走査する光スポット（走査ビーム）の走査速度ムラを発生させる。この走査速度ムラは画像の揺らぎとなり画像品質の劣化となる。高品位の画質を要求する場合は走査ムラの補正を行う必要がある。さらに、マルチビーム光学系の場合、各発光源の発振波長に差があると、走

査レンズの色収差が補正されていない光学系の場合に露光位置ずれが発生し、各発光源に対応するスポットが被走査媒体上を走査する時の走査幅は、発光源ごとに差が生じてしまい、画像品質の劣化の要因になってしまうため、走査幅の補正を行う必要がある。

【0004】

従来、走査ムラ等の補正を行う技術としては、例えば、特許文献1や特許文献2に記載のように、基本的に画素クロックの周波数を変化させて、走査線に沿った光スポット位置を制御する方法が知られている。

【0005】

【特許文献1】

特開平11-167081号公報

【特許文献2】

特開2001-228415号公報

【0006】

【発明が解決しようとする課題】

しかしながら、画素クロックの周波数を変化させる従来方式（周波数変調方式）は、一般に画素クロック制御部の構成が複雑であり、かつ、その複雑さは周波数変調幅が微小になるにつれて増大するため、きめ細かな制御ができないという問題がある。

【0007】

本発明の目的は、簡単な構成で位相同期のとられた画素クロックの位相制御を可能にする画素クロック生成回路及びそれを備えた画像形成装置を提供することにある。

【0008】

【課題を解決するための手段】

本発明の画素クロック生成回路は、高周波クロックを生成する高周波クロック生成手段と、前記高周波クロック生成手段から出力される高周波クロックと画素クロックの出力スタートタイミングを示す水平同期信号と画素クロックの遷移タイミングを指示する位相データとに基づいて画素クロックを生成する画素クロッ

ク生成手段からなる。ここで、画素クロック生成手段は、前記水平同期信号を前記高周波クロックに同期させた位相同期信号として出力する位相同期生成手段と、前記位相同期信号及び画素クロックの遷移を検出する検出手段と、前記検出手段からの出力と画素クロックの遷移タイミングを指示する位相データに基づいて制御信号を生成する制御信号生成手段と、前記制御信号生成手段の出力に基づいて画素クロックの遷移を行う画素クロック制御手段とを有することを基本とする。

本発明によれば、画素クロックの水平同期信号入力からの出力を精度良くでき、比較的簡単な構成で画素クロックの位相をきめ細かに制御することができるようになる。

【0009】

【発明の実施の形態】

図1に本発明による画素クロック生成回路を搭載した画像形成装置の一実施形態の全体構成を示す。本画像形成装置は、レーザ駆動部150で駆動されることで任意時間幅のレーザ光を出力する半導体レーザ201を有している。半導体レーザ201から出力されたレーザ光は、コリメータレンズ202及びシリンダレンズ203を介することで整形され、その後、ポリゴンミラー204に入射することで、周期性をもって感光体208上を走査するように反射される。ポリゴンミラー204で反射されたレーザ光は、感光体208に照射される前にf θ レンズ205及びミラー207及びトロイダルレンズ206を介することで光軸が曲げられる。このように光軸の曲げられたレーザ光が被走査媒体である感光体208に照射されて光スポットを形成する。これにより感光体208上には、半導体レーザ201の出力に応じた画像（静電潜像）が形成される。

【0010】

また、ミラー207の両端には、それぞれフォトディテクタ101、102が設けられており、走査の開始と終了とが検出されるように構成されている。即ち、ポリゴンミラー204により所定方向へ反射するレーザ光は、感光体208を1ライン走査する前に開始側のフォトディテクタ101に入射され、走査後にフォトディテクタ102に入射される。フォトディテクタ101、102は、入射

されたレーザ光を電気信号（第1／第2水平同期信号）に変換して、これをドット位置ずれ検出・制御部110に入力する。このようにドット位置ずれ検出・制御部110には、1ライン毎の走査開始のタイミング信号（第1の水平同期信号）と走査終了のタイミングと信号（第2の水平同期信号）が入力される。また、フォトディテクタ101から出力される第1の水平同期信号は、ライン同期信号として画素クロック生成部120にも入力される。

【0011】

ドット位置ずれ検出・制御部110では、フォトディテクタ101と102とから入力される2つの電気信号（第1／第2水平同期信号）の時間間隔が測定され、この測定値に基づいて1ライン毎に走査時間のずれ量が求められる。この方法としては、例えば測定された時間間隔を予め設定しておいた基準の時間と比較する等の方法を採用することができる。

【0012】

ドット位置ずれ検出・制御部110は、求めたずれ量を補正するための位相データを生成する。ここで、位相データとは、走査レンズ等よりなる光学系の特性により生じる走査ムラを補正したり、ポリゴンミラー204の回転ムラによるドット位置ずれを補正したり、レーザ光の色収差によって生じるドット位置ずれを補正するためのものであり、画素クロックの位相のシフト量の指示が示されている。生成された位相データは画素クロック生成部120に入力される。

【0013】

画素クロック生成部120では、フォトディテクタ101から出力される第1の水平同期信号に位相同期させ、また、ドット位置ずれ検出・制御部110から与えられた位相データに基づいて半導体レーザ201を駆動する際のタイミングとなる画素クロック（PCLK）を生成する。生成された画素クロック（PCLK）は画像処理部130及びレーザ駆動データ生成部140に与えられる。この画素クロック生成部120が本発明に係る画素クロック生成回路であり、その構成については、図2以降の図面を用いて詳細に説明する。

【0014】

画像処理部130は、画素クロック生成部（画素クロック生成回路）120か

ら与えられる画素クロック (PCLK) を基準に画像データを生成し、これをレーザ駆動データ生成部 140 に入力する。レーザ駆動データ生成部 140 は、入力された画像データから、同様に画素クロック生成部 (画素クロック生成回路) 120 から与えられる画素クロック (PCLK) を基準にしてレーザ駆動データ (変調データ) を生成し、これをレーザ駆動部 150 に入力する。レーザ駆動部 150 は、入力されたレーザ駆動データ (変調データ) に従って半導体レーザ 201 を駆動する。これにより、感光体 208 には、走査幅揺らぎの解消された画像が形成される。

【0015】

以下に、上記した画像形成装置における画素クロック生成部 120、即ち、本発明に係る画素クロック生成回路の種々の実施例について、図面を用いて詳細に説明する。

【0016】

〈実施例 1〉

図 2 は、本実施例 1 による画素クロック生成回路の全体構成を示すブロック図である。図 2 において、画素クロック生成回路 10 は高周波クロック生成回路 11、遷移検出回路 12、制御信号生成回路 13 及び画素クロック制御回路 14、位相同期信号生成回路 15 からなる。

【0017】

高周波クロック生成回路 11 は画素クロック PCLK の基準となる高周波クロック VCLK を生成する。位相同期信号生成回路 15 は、外部から与えられる水平同期信号を高周波クロックに同期させた位相同期信号として出力する。遷移検出回路 12 は位相同期信号あるいは画素クロックの遷移を検出する。具体的には、遷移検出回路 12 は画素クロック PCLK の立上がりまたは立下りを検出し、高周波クロック VCLK の 1 クロック幅のパルス信号を出力する。また、遷移検出回路 12 は位相同期信号の立下りを検出し、高周波クロック VCLK の 1 クロック幅のパルス信号を出力する。制御信号生成回路 13 は遷移検出回路 12 の出力信号である検出信号と外部から与えられる画素クロックの位相シフト量を指示する位相データに基づき、制御信号 a、制御信号 b を出力する。画素クロック制

御回路 14 は高周波クロック VCLK、制御信号 a、制御信号 b に基づき画素クロック PCLK の遷移タイミングを制御して PLCK を生成する。

【0018】

先に述べたように、位相データは走査レンズの特性により生ずる走査ムラを補正したり、ポリゴンミラーの回転ムラによるドット位置ずれを補正したり、レーザ光の色収差によって生ずるドット位置ずれを補正するために画素クロックの位相のシフト量を指示するためのデータである。本実施例では 3 ビット構成とし、位相シフト量と位相データは図 8 (a) のように対応させる。

【0019】

図 3 に図 2 の位相同期信号生成回路 15 の構成例を示す。本位相同期信号生成回路 15 はシフトレジスタ SR で構成されている。シフトレジスタ SR は高周波クロック VCLK でシフト動作し、入力される水平同期信号を高周波クロック VCLK に同期した信号として位相同期信号を出力する。図 3 では、入力される水平同期信号が S0, S1, S2 とシフトし、出力 S2 が位相同期信号として出力される。このシフトレジスタ SR の段数により水平同期信号が入力されてから画素クロック PCLK が出力されるまでの間隔をきめることになる。

【0020】

図 4 に位相同期信号生成回路 15 の別の構成例を示す。本位相同期信号生成回路 15 は多段のシフトレジスタ SR とマルチプレクサ MUX で構成されており、シフトレジスタ SR は高周波クロック VCLK でシフト動作し、該シフトレジスタ SR の各段の出力をマルチプレクサ MUX に入力し、外部から与えられるセレクトデータにより、そのいずれかを選択できるようになっている。このようにすることにより、水平同期信号が入力されてから画素クロック PCLK が出力されるまでの間隔は固定されず、可変とすることができる。

【0021】

図 5 に図 2 の制御信号生成回路 13 の構成例を示す。本制御信号生成回路 15 はシフトレジスタ SR とマルチプレクサ MUX で構成されている。シフトレジスタ SR は高周波クロック VCLK でシフト動作し、入力された検出信号 S0 ~ S9 とシフトさせていく。そして、途中のレジスタ出力 S2 を制御信号 a として出

力する。また、後段のレジスタ出力 $S_3 \sim S_9$ はマルチプレクサ MUX の入力となり、位相データにより、そのいずれかを選択できるようになっている。位相データとマルチプレクサ MUX から出力される信号 OUT の対応は図 8 (b) の通りである。このマルチプレクサ MUX の出力信号を制御信号 b として出力する。

【0022】

図 6、図 7 に図 2 における画素クロック制御回路 14 の構成例を示す。図 6 は画素クロック制御回路 14 が JK フリップフロップ (JK-FF) で構成されており、制御信号 a に "H" の信号、制御信号 b に "L" の信号が入力されると、高周波クロック VCLK の立上がりで "H" を出力する。また、制御信号 a に "L" の信号、制御信号 b に "H" の信号が入力されると、高周波クロック VCLK の立上がりで "L" を出力する。この JK フリップフロップの出力が画素クロック PCLK となる。図 7 はクロック同期セトリセット付 D フリップフロップ (D-FF) で構成されており、制御信号 a に "H" の信号、制御信号 b に "L" の信号が入力されると、VCLK の立上がりで "H" を出力する。また、制御信号 a に "L" の信号、制御信号 b に "H" の信号が入力されると、VCLK の立上がりで "L" を出力する。同様に、この D フリップフロップの出力が画素クロック PCLK となる。

【0023】

次に、本実施例の画素クロック生成回路の動作について、図 9 のタイミングチャートを用いて詳しく説明する。

【0024】

図 9 では、水平同期信号が入力されてから画素クロック PCLK が出力されるまでの様子と、高周波クロック VCLK の 8 分周に相当するデューティ比 50% の画素クロック PCLK を生成する様子 (位相シフト量 0) と、VCLK の 8 分周のクロックに対して $1/8$ クロックだけ位相を進めた PCLK を生成する様子 (位相シフト量 +1) と、VCLK の 8 分周のクロックに対して $1/8$ クロックだけ位相を遅らせた PCLK を生成する様子 (位相シフト量 -1) を示している。なお、位相シフト量と位相データの対応は図 8 (a) の通りとする。

【0025】

まず、水平同期信号が入力されてから画素クロック PCLK が出力されるまでの様子について説明する。位相データは初期値として「3」が与えられているとする。図 9 において、(イ) のタイミングで水平同期信号が位相同期信号生成回路 15 に入力されたとすると、位相同期信号は (ロ) のタイミングで高周波クロック VCLK に同期して出力される。この (ロ) における位相同期信号の立下りを遷移検出回路 12 で検出し、検出信号を生成する。制御信号生成回路 13 において、この検出信号が図 5 におけるシフトレジスタ SR によりシフトされていく。シフトレジスタ SR の各段の出力の様子が図 9 の S0 ～ S9 である。制御信号 a は S2 であるので、(ハ) のタイミングで「H」となる。そして、(ニ) のクロックのタイミングにおいて、制御信号 a が「H」になっていることから、図 6 あるいは図 7 示す画素クロック制御回路 14 にて画素クロック PCLK を「H」から「L」に遷移させる。次に、位相データとして「3」が与えられているので、図 8 (b) より、制御信号生成回路 13 において、図 5 のマルチプレクサ MUX から制御信号 b として S6 の信号が出力され、(ホ) のタイミングで「H」となる。そして、(ヘ) のクロックのタイミングにおいて、制御信号 b が「H」になっていることから、図 6 あるいは図 7 に示した画素クロック制御回路 14 にて画素クロック PCLK を「L」から「H」に遷移させる。

【0026】

このようにして、水平同期信号が入力されてから画素クロック PCLK が出力されまでの間隔を、高周波クロック 1 周期以下の誤差内で出力することができる。

【0027】

次に、その後の画素クロック PCLK の生成の様子について説明する。まず、位相シフト量「0」における PCLK の生成の様子について説明する。位相シフト量「0」の PCLK を生成する場合は、PCLK の立上がりに同期して位相データとして「3」を与える (図 9 の (ヘ))。また、(ヘ) における PCLK の立上がりを遷移検出回路 12 で検出し、検出信号を生成する。制御信号生成回路 13 において、この検出信号は図 5 におけるシフトレジスタ SR によりシフトされていく。シフトレジスタ SR の各段の出力の様子が図 9 の S0 ～ S9 である。

制御信号 a は S 2 であるので、(ト)のタイミングで”H”となり、(チ)のクロックのタイミングにおいて、制御信号 a が”H”になっていることから、図 6 あるいは図 7 に示す画素クロック制御回路 1 4 にて画素クロック PCLK を”H”から”L”に遷移させる。次に、位相データとして「3」が与えられているので、図 8 (b) より、制御信号生成回路 1 3 において、図 5 のマルチプレクサ MUX から制御信号 b として S 6 の信号が出力され、(リ)のタイミングで”H”となる。そして、(ヌ)のクロックのタイミングにおいて、制御信号 b が”H”になっていることから、図 6 あるいは図 7 に示した画素クロック制御回路 1 4 にて画素クロック PCLK を”L”から”H”に遷移させる。このようにして、位相シフト量「0」の画素クロック PCLK を生成することができる。

【0028】

次に、位相シフト量「-1」における PCLK の生成の様子について説明する。位相シフト量「-1」の PCLK を生成する場合は、PCLK の立上がり同期して位相データとして「2」を与える(図 9 の(ヌ))。また、(ヌ)における PCLK の立上がりを遷移検出回路 1 2 で検出し、検出信号を生成する。制御信号生成回路 1 3 において、この検出信号は図 5 におけるシフトレジスタ SR により S 0 ~ S 9 とシフトされていく。制御信号 a は S 2 であるので、(ル)のタイミングで”H”となる。そして、(オ)のクロックのタイミングにおいて、制御信号 a が”H”になっていることから、図 6 あるいは図 7 に示す画素クロック制御回路 1 4 にて画素クロック PCLK を”H”から”L”に遷移させる。次に、位相データとして「2」が与えられているので、図 8 (b) より、制御信号生成回路 1 3 において、図 5 のマルチプレクサ MUX から制御信号 b として S 5 の信号が出力され、(ワ)のタイミングで”H”となる。そして、(カ)のクロックのタイミングにおいて、制御信号 b が”H”になっていることから、図 6 あるいは図 7 に示す画素クロック制御回路 1 4 にて画素クロック PCLK を”L”から”H”に遷移させる。このようにして、位相シフト量「-1」の画素クロック PCLK を生成することができる。

【0029】

次に、位相シフト量「+1」における PCLK の生成の様子について説明する

。位相シフト量「+1」のPCLKを生成する場合は、PCLKの立上がりにより同期して位相データとして「4」を与える（図9の（カ））。また、（カ）におけるPCLKの立上がりを見逃し検出回路12で検出し、検出信号を生成する。制御信号生成回路13において、この検出信号は図5におけるシフトレジスタSRによりシフトS0～S9されていく。制御信号aはS2であるので、（ヨ）のタイミングで”H”となる。そして、（タ）のクロックのタイミングにおいて、制御信号aが”H”になっていることから、図6あるいは図7に示す画素クロック制御回路14にて画素クロックPCLKを”H”から”L”に遷移させる。次に、位相データとして「4」が与えられているので、図8（b）より、制御信号生成回路13において、図5のマルチプレクサMUXから制御信号bとしてS7の信号が出力され、（レ）のタイミングで”H”となる。そして、（ソ）のクロックのタイミングにおいて、制御信号bが”H”になっていることから、図6あるいは図7に示す画素クロック制御回路14にて画素クロックPCLKを”L”から”H”に遷移させる。このようにして、位相シフト量「+1」の画素クロックPCLKを生成することができる。

【0030】

以上のように、位相データを画素クロックPCLKに同期させて与えることにより、画素クロックPCLKの位相を1クロックごとに変化させることができる。

【0031】

〈実施例2〉

図10に本実施例2による画素クロック生成回路の全体構成図を示す。図10において、画素クロック生成回路10は、高周波クロック生成回路11、遷移検出回路（1）12、制御信号生成回路（1）13、クロック1生成回路14、遷移検出回路（2）15、制御信号生成回路（2）16、クロック2生成回路17、マルチプレクサ（MUX）18、位相同期信号生成回路19からなる。

【0032】

高周波クロック生成回路11は画素クロックPCLKの基準となる高周波クロックVCLKを生成する。遷移検出回路（1）12は、高周波クロックVCLK

の立上がりで動作し、クロック 1 信号の立上がりでと位相同期信号 1 の立下りを検出し、高周波クロック VCLK の 1 クロック幅のパルス信号を出力する。遷移検出回路 12 の出力を検出信号 1 とする。制御信号生成回路 (1) 13 は、高周波クロック VCLK の立上がりで動作し、遷移検出回路 (1) 12 の出力信号と位相データに基づき、制御信号 1a 及び制御信号 1b を出力する。クロック 1 生成回路 14 は高周波クロック VCLK の立上がりで動作し、制御信号 1a 及び制御信号 1b に基づきクロック 1 を生成する。遷移検出回路 (2) 15 は、高周波クロック VCLK の立下がりで動作し、クロック 2 信号の立上がりでと位相同期信号 2 の立下りを検出し、高周波クロック VCLK の 1 クロック幅のパルス信号を出力する。遷移検出回路 (2) 15 の出力を検出信号 2 とする。制御信号生成回路 (2) 16 は、高周波クロック VCLK の立下がりで動作し、遷移検出回路 (2) 15 の出力信号と位相データに基づき、制御信号 2a 及び制御信号 2b を出力する。クロック 2 生成回路 17 は高周波クロック VCLK の立下がりで動作し、制御信号 2a 及び制御信号 2b に基づきクロック 2 を生成する。マルチプレクサ 18 は、位相同期信号生成回路 19 からの位相状態信号に基づきクロック 1、クロック 2 を選択し、画素クロック PCLK として出力する。

【0033】

位相同期信号生成回路 19 は、水平同期信号を入力し、高周波クロック VCLK の立上がりで同期した位相同期信号 1 と、高周波クロック VCLK の立下りでも同期した位相同期信号 2 と、水平同期信号の入力のタイミングつまり、高周波クロック VCLK の ”H” の時に立ち下がっているか、”L” の時に立ち下がっているかを示す位相状態信号を出力する。

【0034】

先に述べたように、位相データは、走査レンズの特性により生ずる走査ムラを補正したり、ポリゴンミラーの回転ムラによって生ずるドット位置ずれを補正したり、レーザ光の色収差によって生ずるドット位置ずれを補正するために画素クロックの位相のシフト量を指示するためのデータで、ここでは 3 ビット構成とし、位相シフト量と位相データは図 8 (a) のように対応させる。

【0035】

図 11 に図 10 の位相同期信号生成回路 19 の構成例を示す。本位相同期信号生成回路 19 はシフトレジスタ等で構成されている。FF10～FF12 のシフトレジスタ SR1 は高周波クロック VCLK の立上がりでシフト動作し、FF12 の出力 Q12 を、入力される水平同期信号を高周波クロック VCLK の立上がりに同期した位相同期信号 1 として出力する。また、FF20～FF22 のシフトレジスタ SR2 は高周波クロック VCLK の立下がりでシフト動作し、FF22 の出力 Q22 を、入力される水平同期信号を高周波クロック VCLK の立下りに同期した位相同期信号 2 として出力する。

【0036】

また、位相同期信号生成回路 19 は、水平同期信号の入力タイミングを示す位相状態信号を生成するための順序回路、RS-FF の回路 19' を含んでいる。この位相状態信号の生成の様子を図 12、図 13 を用いて説明する。

【0037】

図 12 は水平同期信号が高周波クロック VCLK の”H”の時に立ち下がった場合（図 12 の（イ））を示している。この場合、A1、A2 の信号が図 12 の（ロ）、（ハ）のタイミングで出力され、それにより、まず SET 信号（S）が（ロ）のタイミングで”H”になり、RS-FF の出力つまり、位相状態信号が”H”になる。その後、RESET 信号（R）が（二）のタイミングで”H”になるので、RS-FF の出力つまり、位相状態信号が”L”になる。このように、水平同期信号が高周波クロック VCLK の”H”の時に立ち下がった場合は、位相状態信号は”L”となる。

【0038】

図 13 は水平同期信号が高周波クロック VCLK の”L”の時に立ち下がった場合（図 13 の（イ））を示している。この場合、A1、A2 の信号が図 13 の（ロ）、（ハ）のタイミングで出力され、それにより、まず RESET 信号（R）が（ロ）のタイミングで”H”になり、RS-FF の出力つまり、位相状態信号が”L”になる。その後、SET 信号（S）が（二）のタイミングで”H”になるので、RS-FF の出力つまり、位相状態信号が”H”になる。このように、水平同期信号が高周波クロック VCLK の”L”の時に立ち下がった場合は、

位相状態信号は”H”となる。

【0039】

図14に図9の位相同期信号生成回路19の別の構成例を示す。これは位相状態信号生成のための回路が順序回路とT-FFで構成されているものである。ここでは図11のFF10～FF12のシフトレジスタ構成にFF13のレジスタが追加され、A1信号はQ13とQ12 B信号のAND条件から生成されている。この位相同期信号生成回路19における位相状態信号生成の様子を図15、図16に示す。

【0040】

図15は水平同期信号が高周波クロックVCLKの”H”の時に立ち下がった場合(図15の(イ))を示している。まず、水平同期信号が入力されたことを検出しT-FFをリセットし、位相状態信号を”L”にしておく。その後、A2、A1の信号が図15の(ロ)、(ハ)のタイミングで出力される。A1、A2の信号のAND条件からT信号が生成されるが、 $(A1, A2) = (H, H)$ という状態はないので、T信号は”L”のままで、T-FFの出力も”L”のままとなり、位相状態信号は”L”となる。

【0041】

図16は水平同期信号が高周波クロックVCLKの”L”の時に立ち下がった場合(図16の(イ))を示している。まず、水平同期信号が入力されたことを検出し、T-FFをリセットし、位相状態信号を”L”にしておく。その後、A1、A2の信号が図16の(ロ)、(ハ)のタイミングで出力される。A1、A2の信号のAND条件からT信号が生成されるが、ここでは、(ハ)のタイミングで $(A1, A2) = (H, H)$ という状態となるので、T信号が”H”となる。T信号が”H”となったことにより、T-FFの出力がトグルされ”H”となる。よって位相状態信号は”H”となる。

【0042】

なお、図11、図14の構成の位相同期信号生成回路19において、図4に示した位相同期信号生成回路15のように、シフトレジスタを多段にしてその出力をマルチプレクサで選択できるようにすれば、水平同期信号が入力されてから画

素クロック PCLK が出力されるまでの間隔は固定されず、可変とすることができる。

【0043】

図10における制御信号生成回路(1)13、制御信号生成回路(2)16は図5に示した回路構成と同じである。ただし、制御信号生成回路(1)13は高周波クロック VCLK の立上がりで動作し、制御信号生成回路(2)16は高周波クロック VCLK の立下りで動作する。

【0044】

図10におけるクロック1生成回路14、クロック2生成回路17は図6あるいは図7に示した回路構成と同じである。ただし、クロック1生成回路14は、高周波クロック VCLK の立上がりで動作し、クロック2生成回路17は、高周波クロック VCLK の立下りで動作する。

【0045】

図10におけるクロック1は遷移検出回路(1)12、制御信号生成回路(1)13、クロック1生成回路14の系から生成され、その生成の様子は先の実施例1の場合と同じで、高周波クロック VCLK の立上がりに同期している。また、図10におけるクロック2は遷移検出回路(2)15、制御信号生成回路(2)16、クロック2生成回路17の系から生成され、同様に、その生成の様子は先の実施例1の場合と同じであるが、高周波クロックの立下りに同期している。

【0046】

図17、図18に、図10の画素クロック生成回路10における水平同期信号とクロック1、クロック2、及び画素クロック PCLK の出力の様子を示す。

【0047】

図17は水平同期信号が高周波クロック VCLK の”H”の時に立ち下がった様子を示す。ここでは、水平同期信号が高周波クロック VCLK の”H”の時に立ち下がっているので(図17の(イ))、位相状態信号が”L”となり、図10のマルチプレクサ18によりクロック1が選択されて画素クロック PCLK として出力される(図17の(ロ))。

【0048】

図18は水平同期信号が高周波クロックVCLKの”L”の時に立ち下がった様子を示す。ここでは、水平同期信号が高周波クロックVCLKの”L”の時に立ち下がっているので(図18の(イ))、位相状態信号が”H”となり、図10のマルチプレクサ18によりクロック2が選択されて画素クロックPCLKとして出力される(図18の(ロ))。

【0049】

以上により、本実施例2では、水平同期信号が入力されてから画素クロックPCLKが出力されまでの間隔を、高周波クロック半周期以下の誤差内で出力することができる。また、位相データを与えることにより、画素クロックPCLKの位相を高周波クロックVCLKの1クロックステップで変化させることができる。

【0050】

〈実施例3〉

図19に本実施例3による画素クロック生成回路の全体構成図を示す。図19において、画素クロック生成回路10は、高周波クロック生成回路11、遷移検出回路(1)12、制御信号生成回路(1)13、クロック1生成回路14、遷移検出回路(2)15、制御信号生成回路(2)16、クロック2生成回路17、マルチプレクサ18、制御データ生成回路19、ステータス信号生成回路20、セレクト信号生成回路21、位相同期信号生成回路22からなる。

【0051】

高周波クロック生成回路11は画素クロックPCLKの基準となる高周波クロックVCLKを生成する。遷移検出回路(1)12は、高周波クロックVCLKの立上がりで動作し、クロック1信号の立上がりを検出し、高周波クロックVCLKの1クロック幅のパルス信号を検出信号1として出力する。制御信号生成回路(1)13は、高周波クロックVCLKの立上がりで動作し、遷移検出回路(1)12の出力信号と制御データ生成回路19が出力する制御データ1に基づき、制御信号1a及び制御信号1bを出力する。クロック1生成回路14は高周波クロックVCLKの立上がりで動作し、制御信号1a及び制御信号1bに基づきクロック1を生成する。遷移検出回路(2)15は、高周波クロックVCLKの

立下がりで動作し、クロック 2 信号の立上がりを検出し、高周波クロック VCLK の 1 クロック幅のパルス信号を検出信号 2 として出力する。制御信号生成回路 (2) 16 は、高周波クロック VCLK の立下がりで動作し、遷移検出回路 (2) 15 の出力信号と制御データ生成回路 19 が出力する制御データ 2 に基づき、制御信号 2 a 及び制御信号 2 b を出力する。クロック 2 生成回路 17 は高周波クロック VCLK の立下がりで動作し、制御信号 2 a 及び制御信号 2 b に基づきクロック 2 を生成する。マルチプレクサ 18 は、セレクト信号生成回路 21 からのセレクト信号に基づきクロック 1、クロック 2 を選択し、画素クロック PCLK として出力する。

【0052】

制御データ生成回路 19 は、外部から与えられる位相データとステータス信号生成回路 20 が出力するステータス信号に基づき制御データ 1、制御データ 2 を出力する。先に述べたように、位相データは、走査レンズの特性により生ずる走査ムラを補正したり、ポリゴンミラーの回転ムラによって生ずるドット位置ずれを補正したり、レーザ光の色収差によって生ずるドット位置ずれを補正するために画素クロックの位相のシフト量を指示するためのデータで、ここでも 3 ビット構成とするが、本実施例では位相シフト量と位相データは図 20 のように対応させる。

【0053】

ステータス信号生成回路 20 は、位相データのビット 0 が 1 のときに画素クロック PCLK の立上がりのタイミングで信号をトグルさせてステータス信号として出力する。これにより、ステータス信号は高周波クロック VCLK の立上がり時に画素クロック PCLK が立ち上がっているときは第 1 のステートを、高周波クロック VCLK の立下り時に画素クロック PCLK が立ち下がっているときは第 2 のステートを示すようになる。ここではステータス信号は高周波クロック VCLK の立上がり時に画素クロック PCLK が立ち上がっているときは "0"、高周波クロック VCLK の立下り時に画素クロック PCLK が立ち下がっているときは "1" とする。また位相同期信号生成回路 22 からの位相状態信号により、その初期値をきめる。

【0054】

セレクト信号生成回路 21 は、位相データのビット 0 が 1 のときに画素クロック PCLK の立下りのタイミングで信号をトグルさせてセレクト信号として出力する。また位相同期信号生成回路 22 からの位相状態信号によりその初期値をきめる。

【0055】

図 19 におけるクロック 1 生成回路 14、クロック 2 生成回路 17 の構成は先の図 6 あるいは図 7 と同じである。

【0056】

図 21 に、図 19 における制御信号生成回路 (1) 13 及び制御信号生成回路 (2) 16 の構成例を示す。制御信号生成回路 (1) 13、制御信号生成回路 (2) 16 はシフトレジスタとマルチプレクサで構成されている。ただし、制御信号生成回路 (1) 13 におけるシフトレジスタ SR (1) は高周波クロック VCLK の立上がりでシフト動作し、制御信号生成回路 (2) 16 におけるシフトレジスタ SR (2) は高周波クロック VCLK の立下がりでシフト動作する。シフトレジスタ SR (1) は入力された検出信号 1 を S10～S18 とシフトさせていき、途中の出力 S12 を制御信号 1a として出力する。シフトレジスタ SR (2) は入力された検出信号 2 を S20～S28 とシフトさせていき、途中の出力 S12 を制御信号 2a として出力する。また、シフトレジスタ SR (1) の後段の出力 S13～S19 はマルチプレクサ MUX (1) に、シフトレジスタ SR (2) の後段の出力 S23～S29 はマルチプレクサ MUX (2) に与えられる。マルチプレクサ MUX (1) では、制御データ生成回路 19 から与えられる制御データ 1 に従ってレジスタ出力 S13～S19 のいずれかを選択し、制御信号 1b として出力する。マルチプレクサ MUX (2) では、制御データ生成回路 19 から与えられる制御データ 2 に従ってレジスタ出力 S13～S19 のいずれかを選択し、制御信号 2b として出力する。マルチプレクサ MUX (1)、マルチプレクサ MUX (2) の真理値表を図 22 に示す。

【0057】

次に、図 19 における制御データ生成回路 19 について説明する。制御データ

生成回路 19 は、外部から与えられる位相データとステータス信号生成回路 20 が出力するステータス信号をデコードして制御データ 1、制御データ 2 を出力する。制御データ生成回路 19 の動作は、制御信号生成回路 (1) 13、制御信号生成回路 (2) 16 と関係している。つまり、図 21 における制御信号生成回路 (1) 13、制御信号生成回路 (2) 16 のシフトレジスタ SR (1)、シフトレジスタ SR (2) の出力とマルチプレクサ MUX (1)、マルチプレクサ MUX (2) の入力 of 順番によって制御データ生成回路 19 のデコードの動作が決まる。本実施例における位相シフト量と位相データの対応は図 20 に示した通りである。この場合の制御データ生成回路 19 の真理値表を図 23 に示す。

【0058】

図 19 における位相同期信号生成回路 22 の構成は実施例 2 におけるものと同じである (図 11)。ここでも位相同期信号生成回路 22 から出力される位相状態同期信号により、水平同期信号入力から最初に出る画素クロック PCLK としてクロック 1 かクロック 2 のいずれかが選択され、水平同期信号が入力されてから画素クロック PCLK が出力されるまでの間隔を高周波クロック半周期以下の誤差内で出力することができる。

【0059】

次に、本実施例 3 の画素クロック生成回路 10 において、最初のクロックが出力された後の画素クロック PCLK の生成の様子を図 24 を用いて説明する。図 24 では、位相シフトが 0 の時、高周波クロック VCLK の 8 分周に相当する画素クロック PCLK を生成し、それに対し位相を $+1/16$ PCLK、 $-1/16$ PCLK シフトさせた画素クロック PCLK を生成している様子を示している。

【0060】

まず、位相シフト「0」の画素クロック PCLK の生成について説明する。

(制御データ 1、制御データ 2 の生成について)

画素クロック PCLK に同期して、位相シフト「0」を示す位相データ“000”が与えられる (図 24 の (イ))。その位相データとステータス信号 (最初は 0 としている) が制御データ生成回路 19 に入力され、図 23 の真理値表に従

って、制御データ 1 (010)、制御データ 2 (010) が出力される。

【0061】

(クロック 1 生成について)

図 24 の (イ) において、クロック 1 の立上りを遷移検出回路 (1) 12 で検出し、検出信号 1 として高周波 VCLK の 1 クロック幅のパルス信号を得る。この検出信号 1 が制御信号生成回路 (1) 13 のシフトレジスタ SR (1) (図 21) に与えられ、図 24 に示すようなレジスタ出力 S10～S18 の信号が得られる。制御信号 1a はレジスタ出力 S12 そのものであるので、(ロ) のタイミングで”H” となり、(ハ) のクロックのタイミングにおいて、制御信号 1a が”H” になっていることから、クロック 1 生成回路 14 はクロック 1 を”L” に遷移させ出力する。次に、制御データ 1 が”010” であるので、制御信号生成回路 (1) 13 のマルチプレクサ MUX (1) の出力である制御信号 1b にはレジスタ出力 S16 が現れ、(ニ) のタイミングで”H” となり、(ホ) のクロックのタイミングにおいて、制御信号 1b が”H” になっていることから、クロック 1 生成回路 14 はクロック 1 を”H” に遷移させ出力する。

【0062】

(クロック 2 生成について)

図 24 の (イ) ' において、クロック 2 の立上りを遷移検出回路 (2) 15 で検出し、図 24 に示すように、検出信号 2 として高周波 VCLK の 1 クロック幅のパルス信号を得る。この検出信号 2 が制御信号生成回路 (2) 16 のシフトレジスタ SR (2) (図 21) に与えられ、図 24 に示すようなレジスタ出力 S20～S28 の信号が得られる。制御信号 2a はレジスタ出力 S22 そのものであるので、図 (ロ) ' のタイミングで”H” となり、(ハ) ' のクロックのタイミングにおいて、制御信号 2a が”H” になっていることから、クロック 2 生成回路 17 はクロック 2 を”L” に遷移させ出力する。次に、制御データ 2 が”010” であるので、制御信号生成回路 (2) 16 のマルチプレクサ MUX (2) の出力である制御信号 2b にはレジスタ出力 S26 が現れ、(ニ) ' のタイミングで”H” となり、(ホ) ' のクロックのタイミングにおいて、制御信号 2b が”H” になっていることから、クロック 2 生成回路 17 はクロック 2 を”H” に

遷移させ出力する。

【0063】

(画素クロック PCLK の生成について)

ここではセレクト信号が” L ” であるので画素クロック PCLK としてクロック 1 が出力される。

【0064】

次に、位相シフト + 1 / 16 PCLK させた画素クロック PCLK の生成について説明する。

(制御データ 1、制御データ 2 の生成について)

画素クロック PCLK に同期して、位相シフト「+ 1」を示す位相データ” 001 ” が与えられる (図 24 の (ホ))。ステータス信号生成回路 20 からのステータス信号は、その前の位相データの bit 0 が” 0 ” であるのでトグルせず” 0 ” のままである。その位相データとステータス信号が制御データ生成回路 19 に入力され、図 23 の真理値表に従って、制御データ 1 (010)、制御データ 2 (001) が出力される。

【0065】

(クロック 1 生成について)

図 24 の (ホ) において、クロック 1 の立上がりを遷移検出回路 (1) 12 で検出し、図 24 に示すように、検出信号 1 として高周波 VCLK の 1 クロック幅のパルス信号を得る。この検出信号 1 が制御信号生成回路 (2) 13 のシフトレジスタ SR (1) (図 21) に与えられ、図 24 に示すようなレジスタ出力 S10 ~ S18 の信号が得られる。制御信号 1a はレジスタ出力 S12 そのものであるので、(へ) のタイミングで” H ” となり、(ト) のクロックのタイミングにおいて、制御信号 1a が” H ” になっていることから、クロック 1 生成回路 14 はクロック 1 を” L ” に遷移させ出力する。次に、制御データ 1 が” 010 ” であるので、制御信号生成回路 (1) 13 のマルチプレクサ MUX (1) の出力である制御信号 1b にはレジスタ出力 S16 が現れ、(チ) のタイミングで” H ” となり、(リ) のクロックのタイミングにおいて、制御信号 1b が” H ” になっていることから、クロック 1 生成回路 14 はクロック 1 を” H ” に遷移させ出力

する。

【0066】

(クロック2生成について)

図24の(ホ)'において、クロック2の立上りを遷移検出回路(2)15で検出し、図24に示すように、検出信号2として高周波VCLKの1クロック幅のパルス信号を得る。この検出信号2が制御信号生成回路(2)16のシフトレジスタSR(2)(図21)に与えられ、図24に示すようなレジスタ出力S20~S28の信号が得られる。制御信号2aはレジスタ出力S22そのものであるので、(ヘ)'のタイミングで”H”となり、(ト)'のクロックのタイミングにおいて、制御信号2aが”H”になっていることから、クロック2生成回路17はクロック2を”L”に遷移させ出力する。次に、制御データ2が”001”であるので、制御信号生成回路(2)16のマルチプレクサMUX(2)の出力である制御信号2bにはレジスタ出力S27が現れ、(チ)'のタイミングで”H”となり、(リ)'のクロックのタイミングにおいて、制御信号2bが”H”になっていることから、クロック2生成回路17はクロック2を”H”に遷移させ出力する。

【0067】

(画素クロックPCLKの生成について)

ここではセレクト信号は位相データのbit0が”1”であるので、図24の(ト)の画素クロックPCLKの立下りのタイミングでトグルし、”1”となる。よってマルチプレクサ18からは、はじめはクロック1が画素クロックPCLKとして出力され(図24の(ホ)から(ト)の期間)、図24の(ト)でセレクト信号が”1”になってからは、クロック2が画素クロックPCLKとして出力される(図24の(ト)から(リ)'の期間)。

【0068】

次に、位相シフト-1/16PCLKさせた画素クロックPCLKの生成について説明する。

(制御データ1、制御データ2の生成について)

画素クロックPCLKに同期して、位相シフト「-1」を示す位相データ”1

01” が与えられる（図24の（リ）’）。ステータス信号生成回路20からのステータス信号は、その前の位相データのbit0が”1”であるのでトグルし”1”となる（図24の（リ）’）。その位相データとステータス信号が制御データ生成回路19に入力され、図23の真理値表に従って、制御データ1（010）、制御データ2（011）が出力される。

【0069】

（クロック1生成について）

図24の（リ）において、クロック1の立上りを遷移検出回路（1）12で検出し、図24に示すように、検出信号1として高周波VCLKの1クロック幅のパルス信号を得る。この検出信号1が制御信号生成回路（1）13のシフトレジスタSR（1）（図21）に与えられ、図24に示すようなレジスタ出力S10～S18の信号が得られる。制御信号1aはレジスタ出力S12そのものであるので、図24の（ヌ）のタイミングで”H”となり、（ル）のクロックのタイミングにおいて、制御信号1aが”H”になっていることから、クロック1生成回路14はクロック1を”L”に遷移させ出力する。次に、制御データ1が”010”であるので、制御信号生成回路（1）13のマルチプレクサMUX（1）の出力である制御信号1bにはレジスタ出力S16が現れ、図24（オ）のタイミングで”H”となり、（ワ）のクロックのタイミングにおいて制御信号1bが”H”になっていることから、クロック1生成回路14はクロック1を”H”に遷移させ出力する。

【0070】

（クロック2生成について）

図24の（リ）’においてクロック2の立上りを、遷移検出回路（2）15で検出し、図24に示すように、検出信号2としては高周波VCLKの1クロック幅のパルス信号を得る。この検出信号2が制御信号生成回路（2）16シフトレジスタSR（2）（図21）に与えられ、図24に示すようなレジスタ出力S20～S28の信号が得られる。制御信号2aはレジスタ出力S22そのものであるので、（ヌ）’のタイミングで”H”となり、（ル）’のクロックのタイミングにおいて、制御信号2aが”H”になっていることから、クロック2生成回

路 17 はクロック 2 を” L ” に遷移させ出力する。次に、制御データ 2 が” 0 1 1 ” であるので、制御信号生成回路 (2) 16 のマルチプレクサ MUX (2) の出力である制御信号 2 b にはレジスタ出力 S 25 が現れ、(オ) ’ のタイミングで” H ” となり、(ワ) ’ のクロックのタイミングにおいて、制御信号 2 b が” H ” になっていることから、クロック 2 生成回路 17 はクロック 2 を” H ” に遷移させ出力する。

【0071】

(画素クロック PCLK の生成について)

ここではセレクト信号は位相データの bit 0 が” 1 ” であるので、図 24 の (ル) ’ の画素クロック PCLK の立下りのタイミングでトグルし、” 0 ” となる。よって、マルチプレクサ 18 からは、はじめはクロック 2 が画素クロック PCLK として出力され (図 24 の (リ) ’ から (ル) ’ の期間)、(ル) ’ でセレクト信号が” 0 ” になってからは、クロック 1 が画素クロック PCLK として出力される (図 24 の (ル) ’ から (ワ) の期間)。

【0072】

ここでは位相シフト 0、+1/16 PCLK、-1/16 PCLK についてのみ説明したが、+2/16 PCLK、+3/16 PCLK、-2/16 PCLK、-3/16 PCLK についても同様に行うことができる。

【0073】

以上のようにすることにより、1 クロックずつ、 $\pm 1/16$ PCLK ステップで、即ち、高周波クロック VCLK の半ピッチステップで位相シフトされた画素クロック PCLK を得ることができる。

【0074】

【発明の効果】

以上説明したように、本発明にかかる画素クロック生成回路及びそれを適用した画像形成装置によれば、次のような効果が得られる。

(1) 高周波クロックと、画素クロックの出力スタートタイミングを示す水平同期信号と画素クロックの遷移タイミングを指示する位相データとに基づいて画素クロックを生成することにより、画素クロックの水平同期信号入力からの出力

を精度良くでき、比較的簡単な構成で画素クロックの位相を制御することができる。

(2) 水平同期信号を高周波クロックの立上がり同期させた第1／第2位相同期信号、水平同期信号の入力タイミングを示す水平同期状態信号を利用することにより、画素クロックPCLKの水平同期信号入力からの出力をより細かい精度で行うことができ、比較的簡単な構成で画素クロックの位相を制御することができる。

(3) 水平同期信号を高周波クロックに同期させた複数の位相同期信号を生成し、そのいずれかを出力することで、画素クロックPCLKの水平同期信号入力からの出力を精度よくでき、かつ出力タイミングを変更することができ、比較的簡単な構成で画素クロックの位相をより細かく制御することができる。

【図面の簡単な説明】

【図1】

本発明の画素クロック生成回路を適用した画像形成装置の一実施例を示す全体構成図である。

【図2】

本発明の画素クロック生成回路の第1の実施例の全体構成図である。

【図3】

図2の位相同期信号生成回路の構成例を示す図である。

【図4】

図2の位相同期信号生成回路の別の構成例を示す図である。

【図5】

図2の制御信号生成回路の構成例を示す図である。

【図6】

図2の画素クロック制御回路の構成例を示す図である。

【図7】

図2の画素クロック制御回路の構成例の別の構成例を示す図である。

【図8】

位相シフト量と位相データの対応、及び、位相データと出力される制御信号と

の対応の一例を示す表である。

【図 9】

図 2 の画素クロック生成回路の動作を説明するためのタイミング図である。

【図 10】

本発明の画素クロック生成回路の第 2 の実施例の全体構成図である。

【図 11】

図 10 の位相同期信号生成回路の構成例を示す図である。

【図 12】

図 11 の回路における位相状態信号の生成を説明するためのタイミング図である。

【図 13】

同じく位相状態信号の生成を説明するためのタイミング図である。

【図 14】

図 10 の位相同期信号生成回路の別の構成例を示す図である。

【図 15】

図 14 の回路における位相状態信号の生成を説明するためのタイミング図である。

【図 16】

同じく位相状態信号の生成を説明するためのタイミング図である。

【図 17】

図 9 の画素クロック生成回路の動作を説明するためのタイミング図である。

【図 18】

同じく図 9 の画素クロック生成回路の動作を説明するためのタイミング図である。

【図 19】

本発明の画素クロック生成回路の第 3 の実施例の全体構成図である。

【図 20】

位相シフト量と位相データの対応の別の例を示す表である。

【図 21】

図 1 9 の制御信号生成回路 (1)、(2) の構成例を示す図である。

【図 2 2】

図 2 1 における制御データ 1、2 と制御信号 1 b, 2 b の真理値表である。

【図 2 3】

図 1 9 の制御データ生成回路の真理値表である。

【図 2 4】

図 1 9 の画素クロック生成回路の動作を説明するためのタイミング図である。

【図 2 5】

従来の画像形成装置の全体構成図である。

【符合の説明】

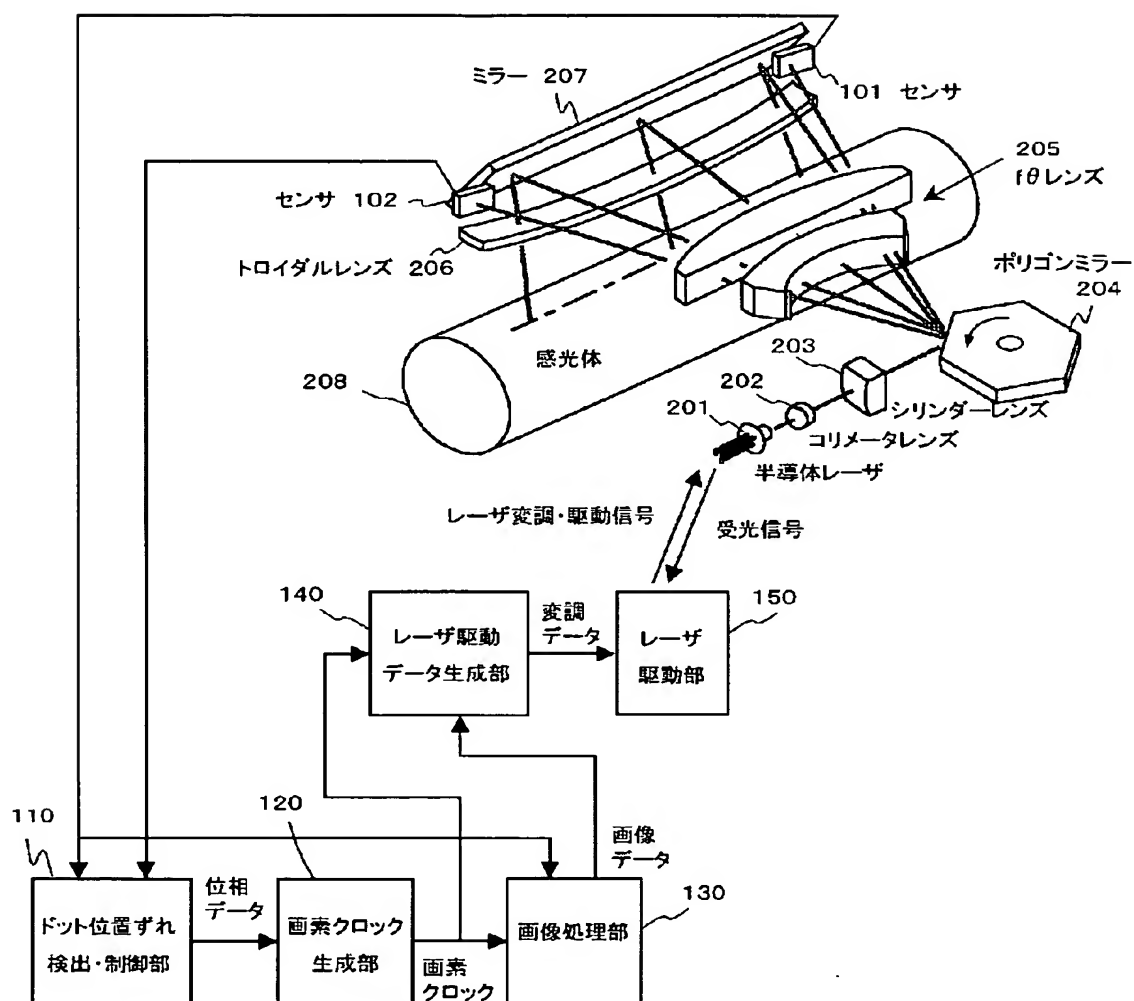
- 1 0 画素クロック生成回路
- 1 1 高周波クロック生成回路
- 1 2 遷移検出回路
- 1 3 制御信号生成回路
- 1 4 画素クロック制御回路
- 1 5 位相同期信号生成回路
- 1 0 画素クロック生成回路
- 1 1 高周波クロック生成回路
- 1 2 遷移検出回路 (1)
- 1 3 制御信号生成回路 (1)
- 1 4 クロック 1 生成回路
- 1 5 遷移検出回路 (2)
- 1 6 制御信号生成回路 (2)
- 1 7 クロック 2 生成回路
- 1 8 マルチプレクサ
- 1 9 位相同期信号生成回路
- 1 0 画素クロック生成回路
- 1 1 高周波クロック生成回路
- 1 2 遷移検出回路 (1)

- 1 3 制御信号生成回路 (1)
- 1 4 クロック 1 生成回路
- 1 5 遷移検出回路 (2)
- 1 6 制御信号生成回路 (2)
- 1 7 クロック 2 生成回路
- 1 8 マルチプレクサ
- 1 9 制御データ生成回路
- 2 0 ステータス信号生成回路
- 2 2 位相同期信号生成回路
- 1 0 1, 1 0 2 センサ
- 1 1 0 ドット位置ずれ検出・制御部
- 1 2 0 画素クロック生成部
- 1 3 0 画像処理部
- 1 4 0 レーザ駆動データ生成部
- 1 5 0 レーザ駆動部

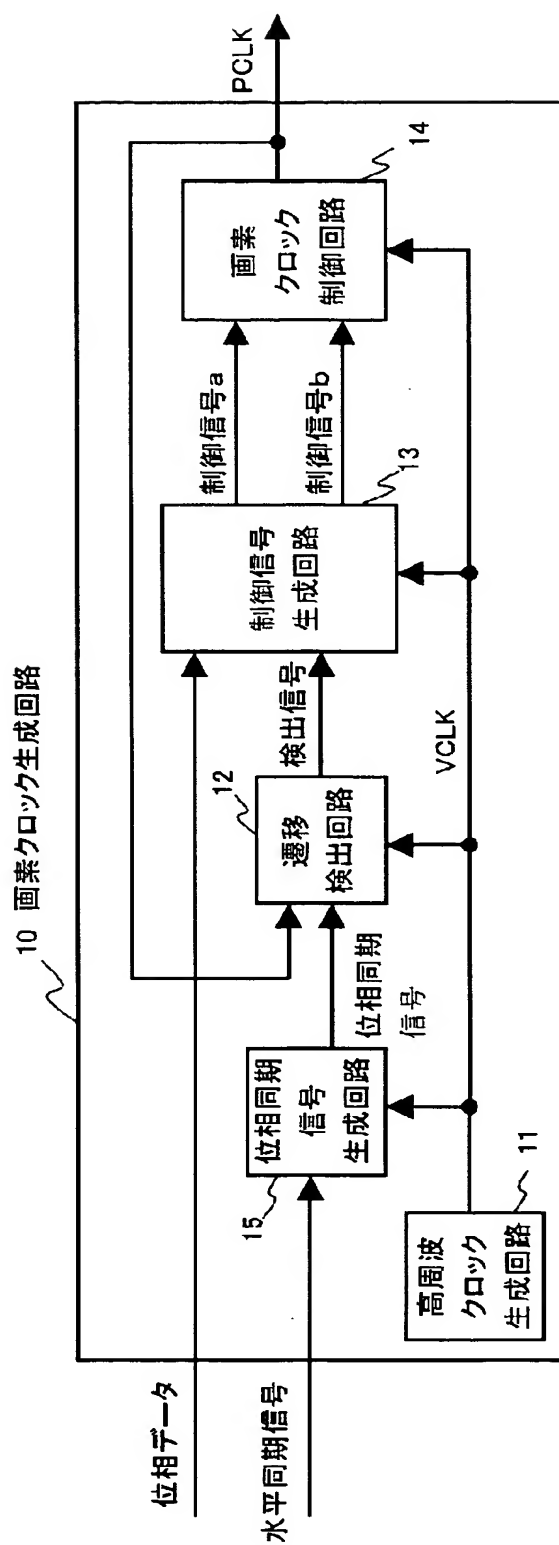
【書類名】

図面

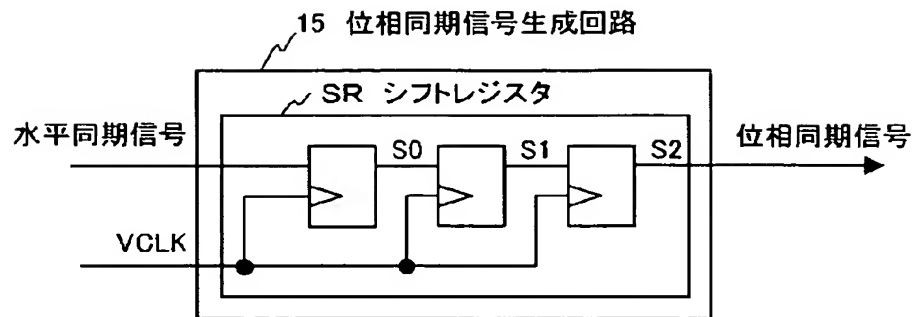
【図 1】



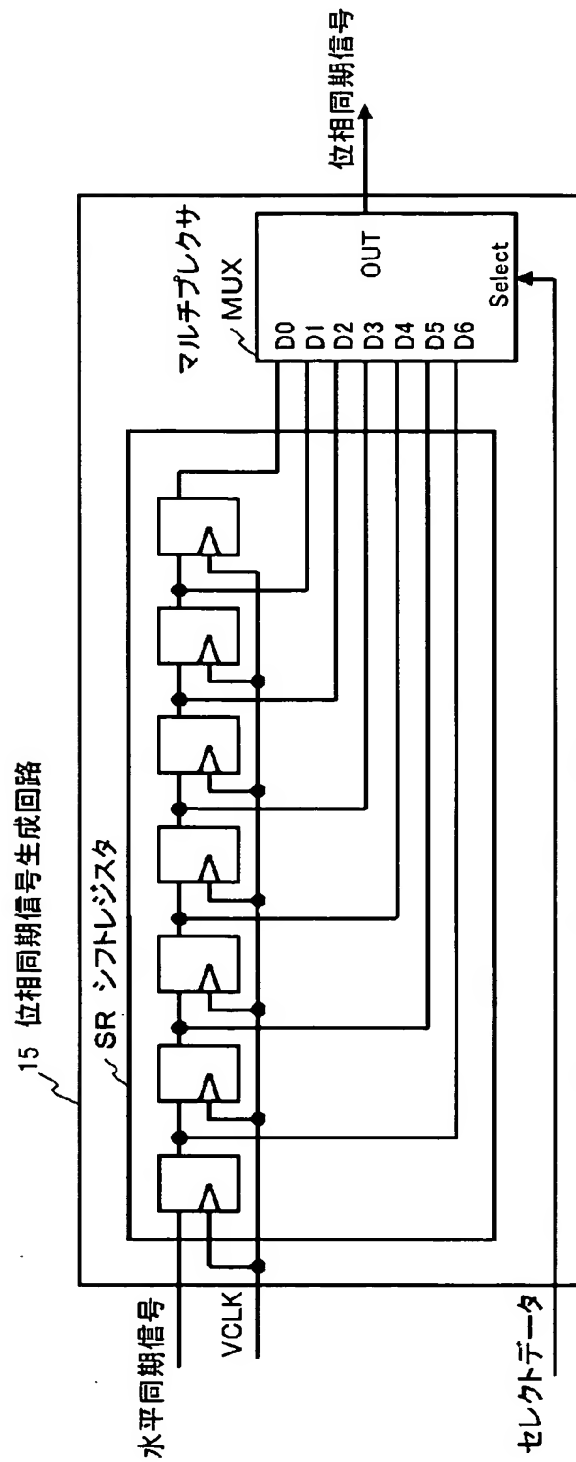
【図 2】



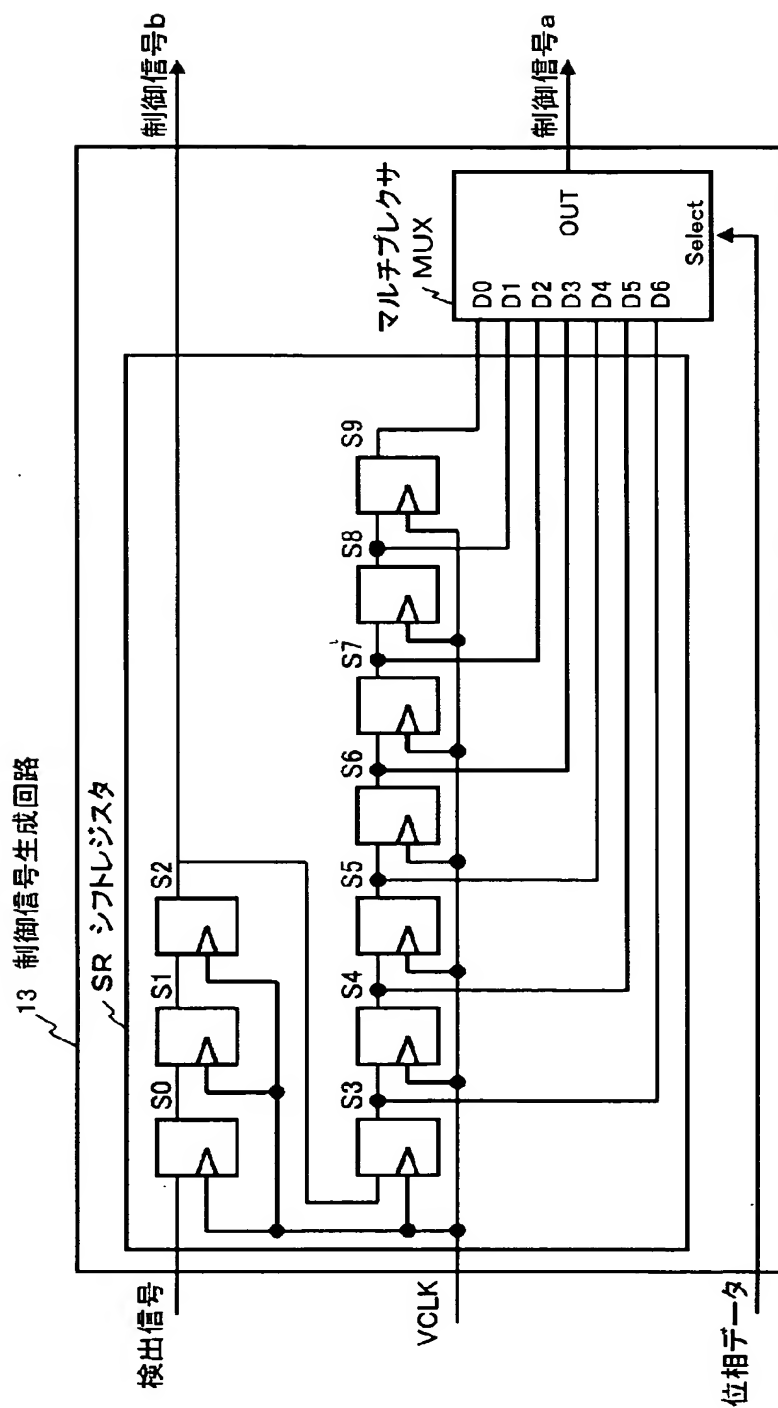
【図 3】



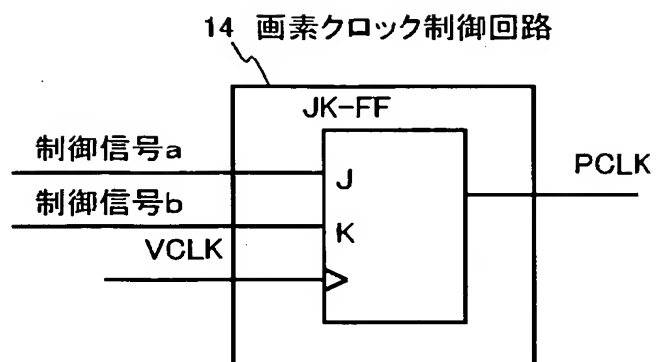
【図 4】



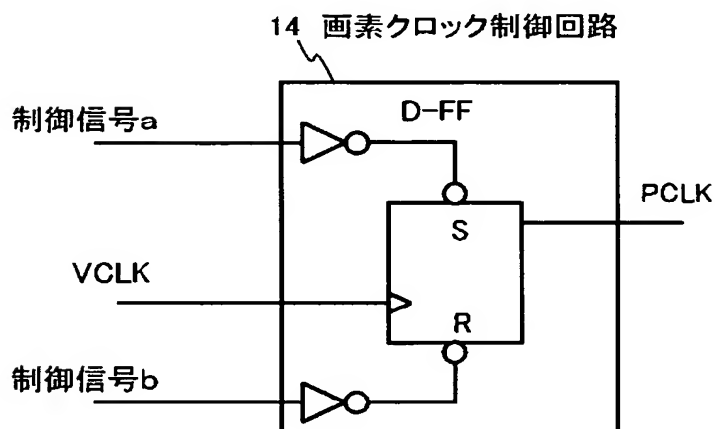
【図 5】



【図 6】



【図 7】



【図 8】

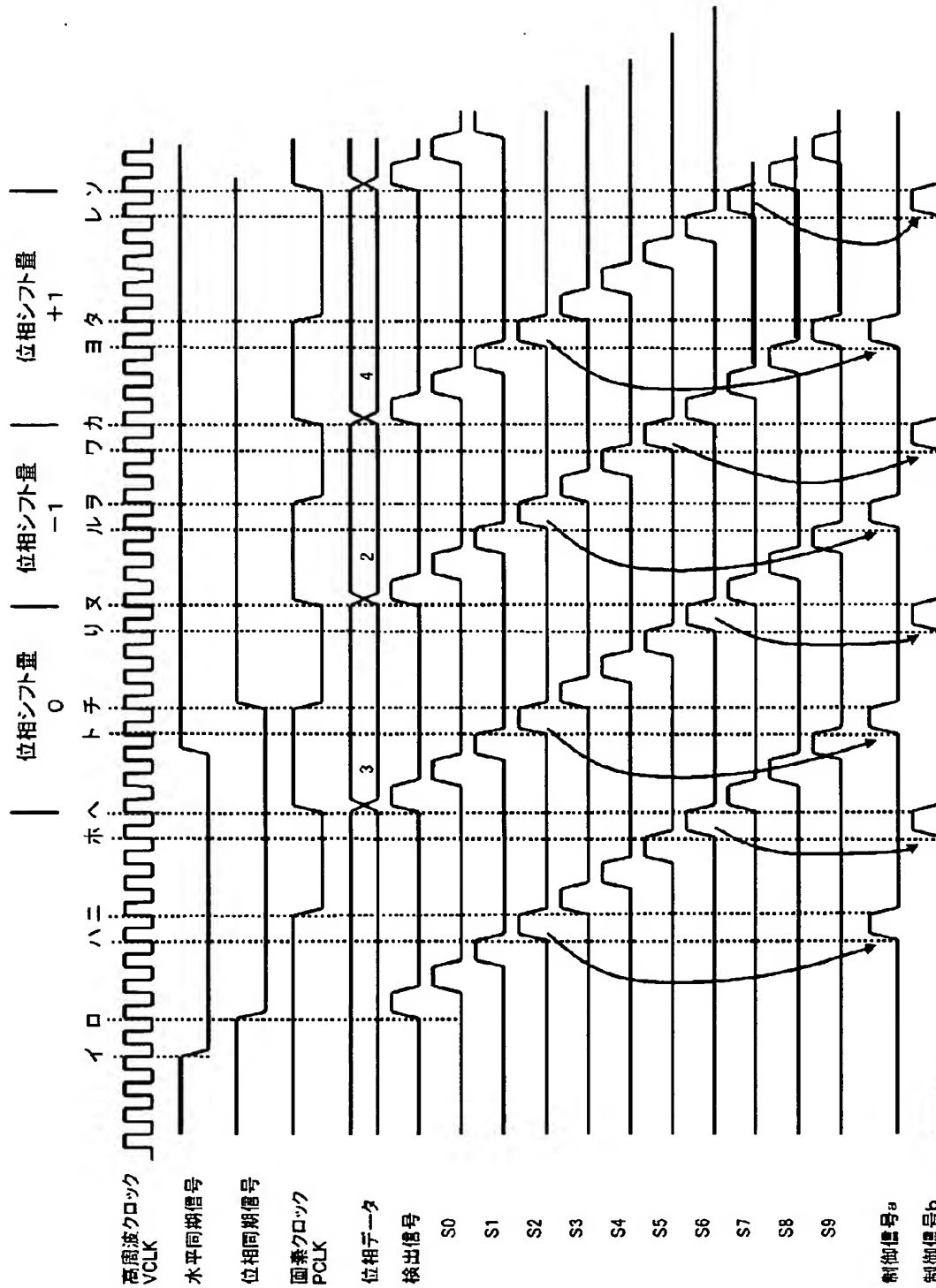
(a)

位相シフト量	位相データ 3bit
3/8 PCLK 遅らす	000
2/8 PCLK 遅らす	001
1/8 PCLK 遅らす	010
0	011
1/8 PCLK 進める	100
2/8 PCLK 進める	101
3/8 PCLK 進める	110

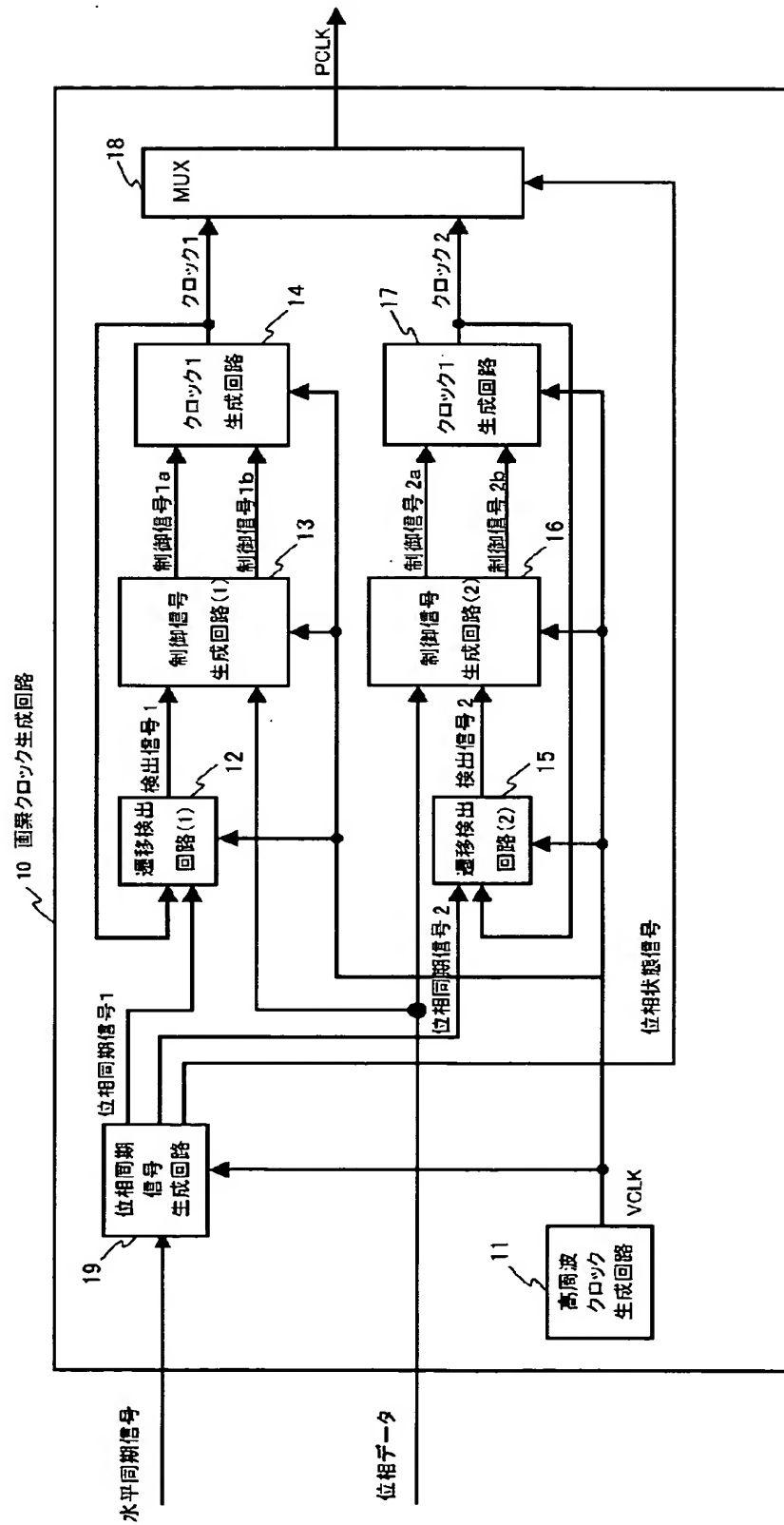
(b)

位相データ 3bit	OUT
000	D0
001	D1
010	D2
011	D3
100	D4
101	D5
110	D6

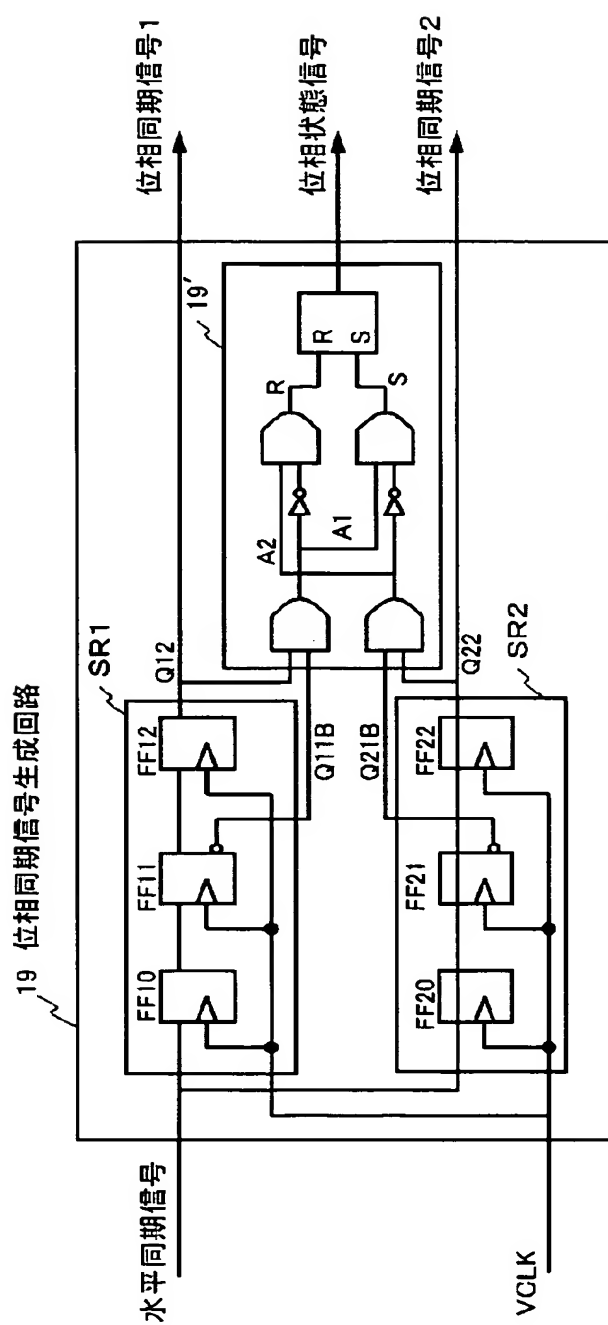
【図 9】



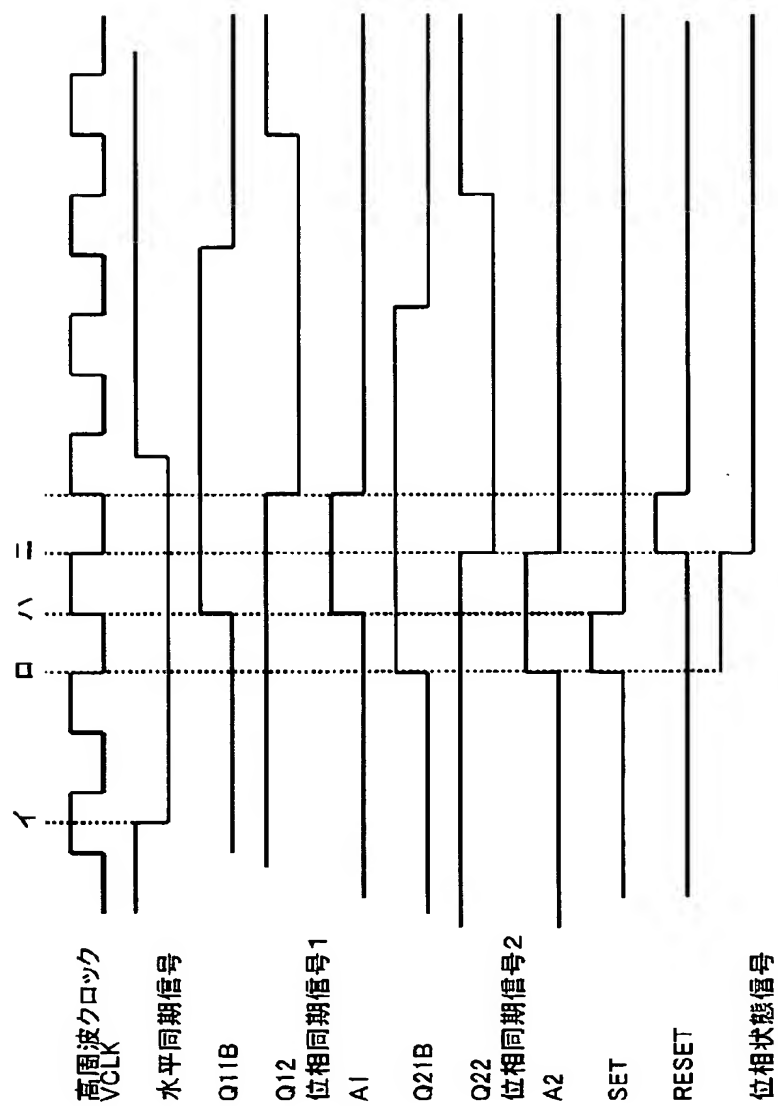
【図 10】



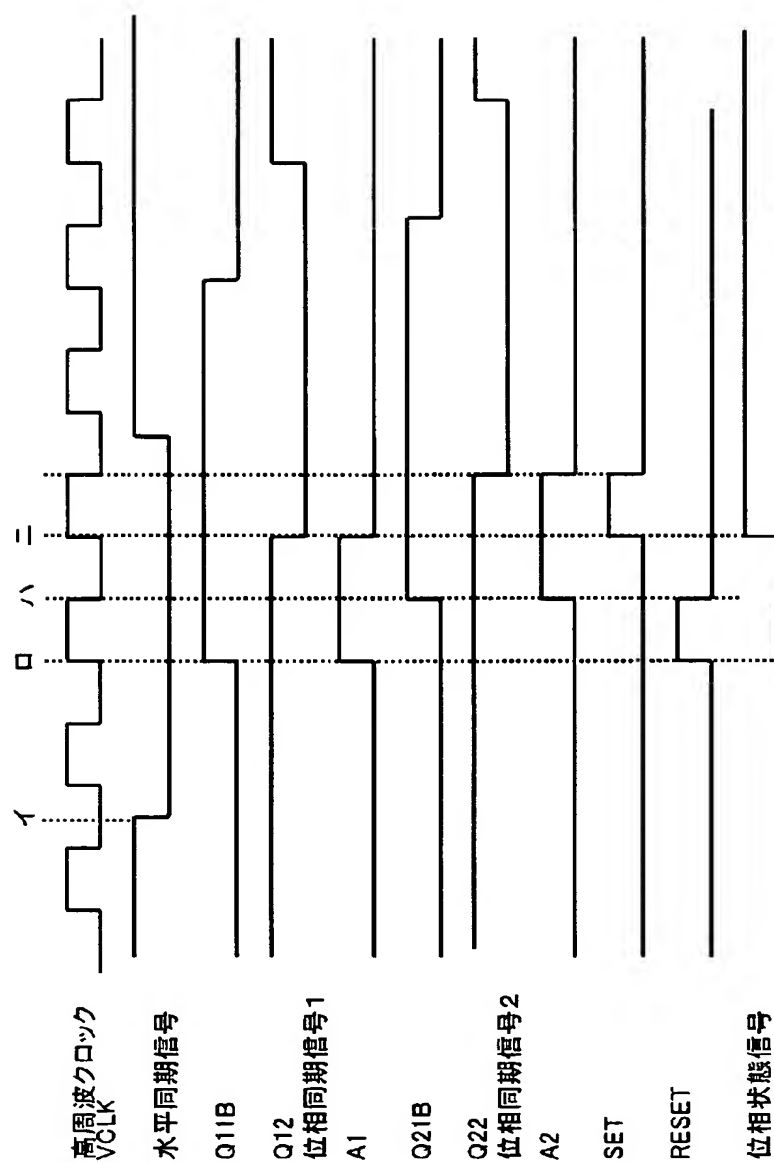
【図 1 1】



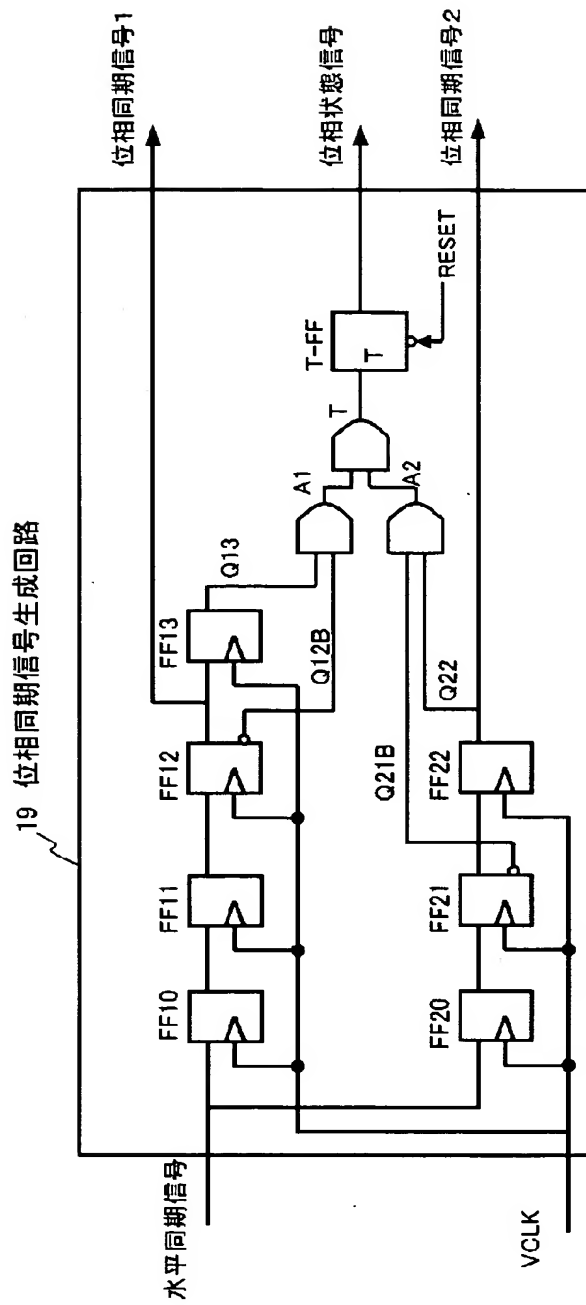
【図 12】



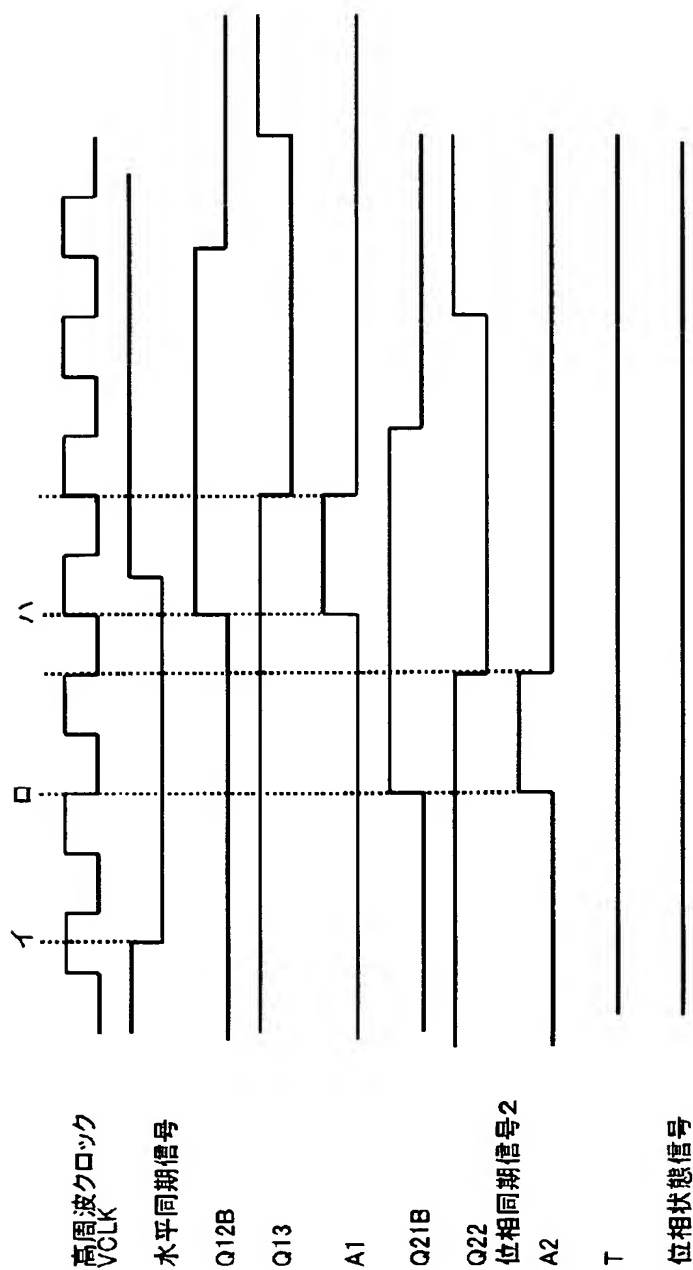
【図 13】



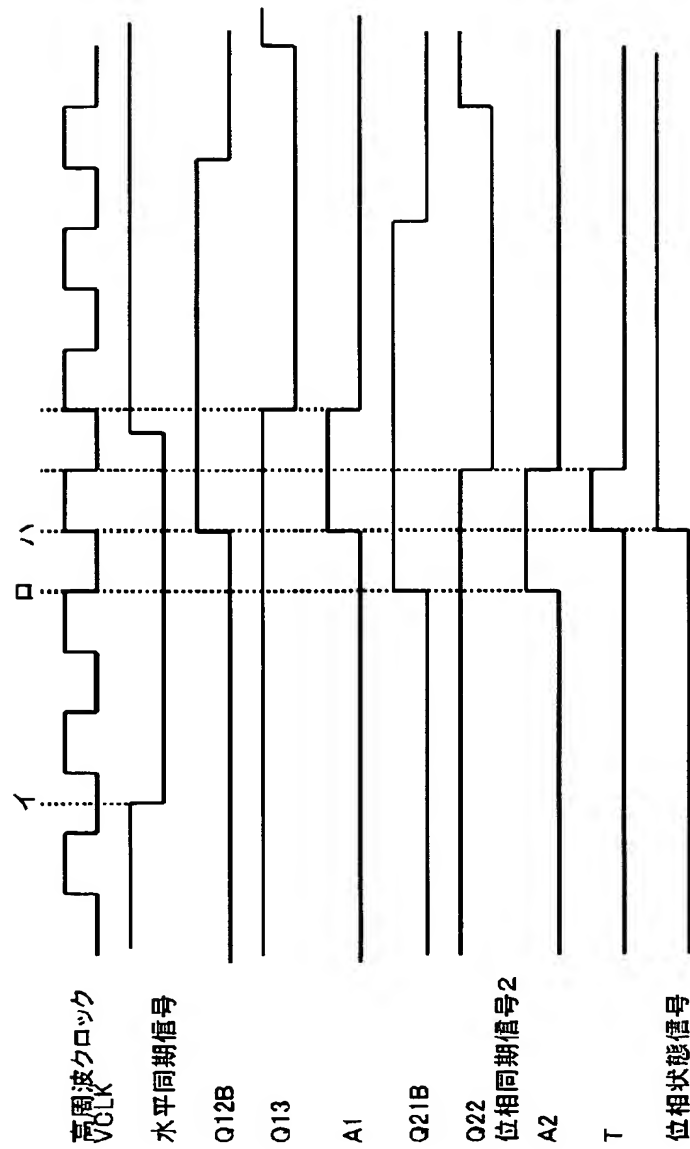
【図 14】



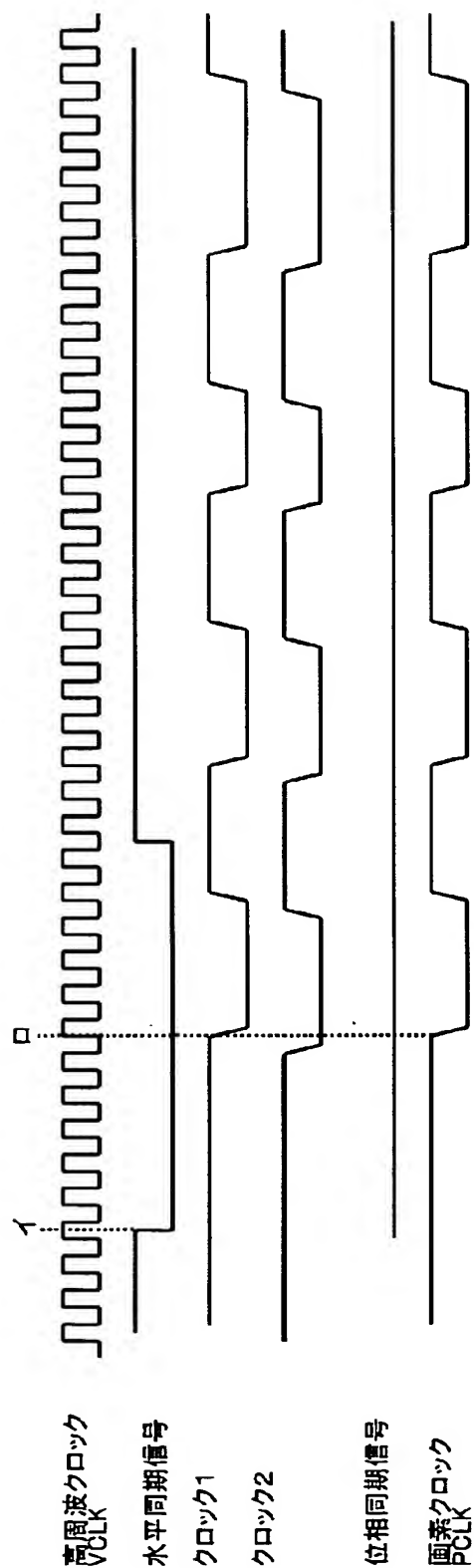
【図 15】



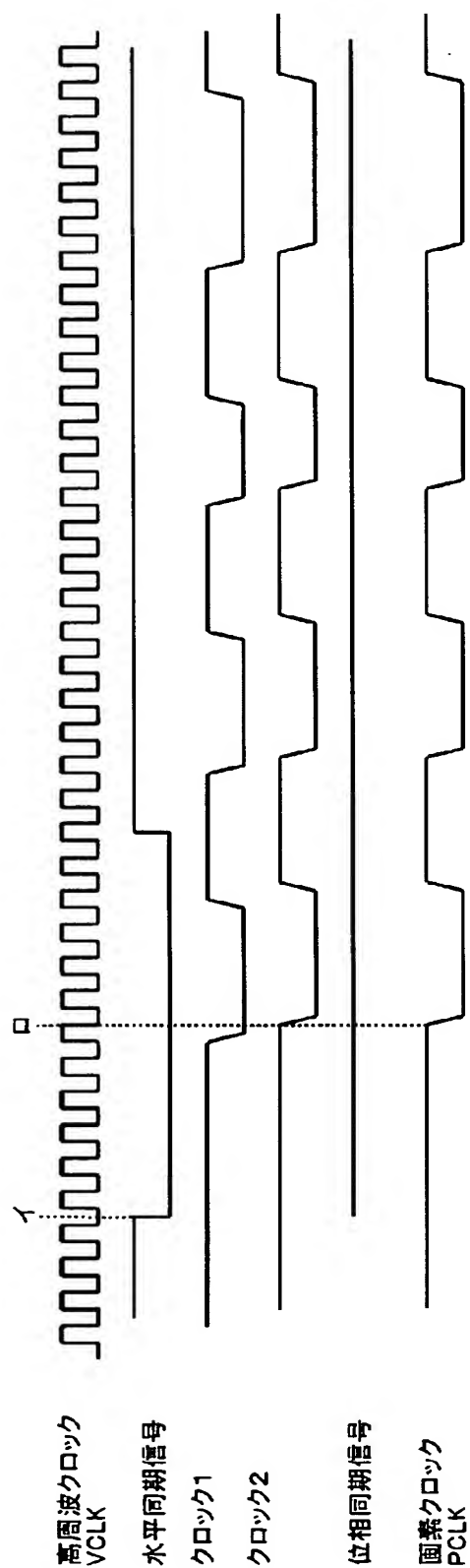
【図 16】



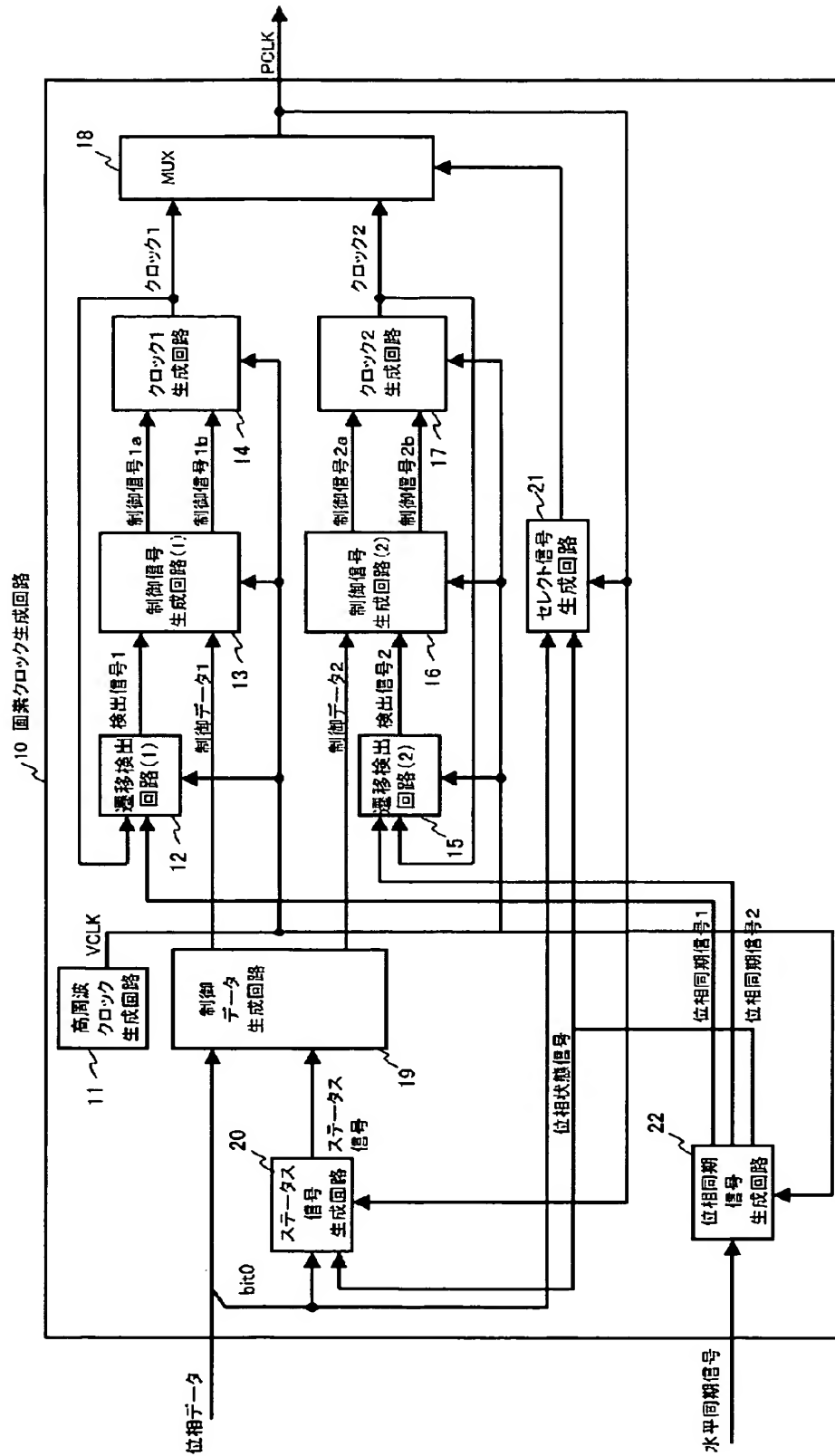
【図 17】



【図 18】



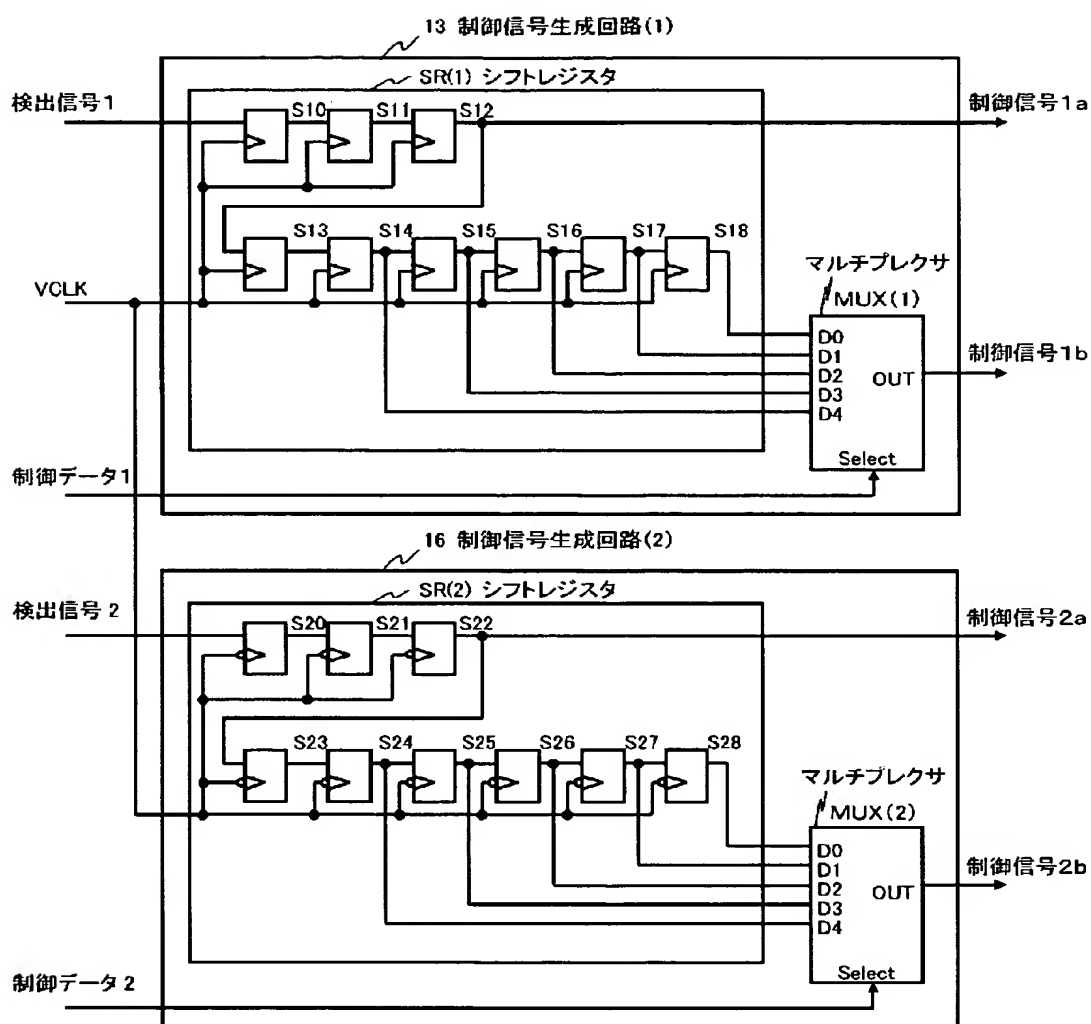
【図19】



【図 2 0】

位相シフト量	位相データ 3bit
0	000
1/16 PCLK 進める	001
2/16 PCLK 進める	010
3/16 PCLK 進める	011
1/16 PCLK 遅らす	111
2/16 PCLK 遅らす	110
3/16 PCLK 遅らす	101

【図 21】



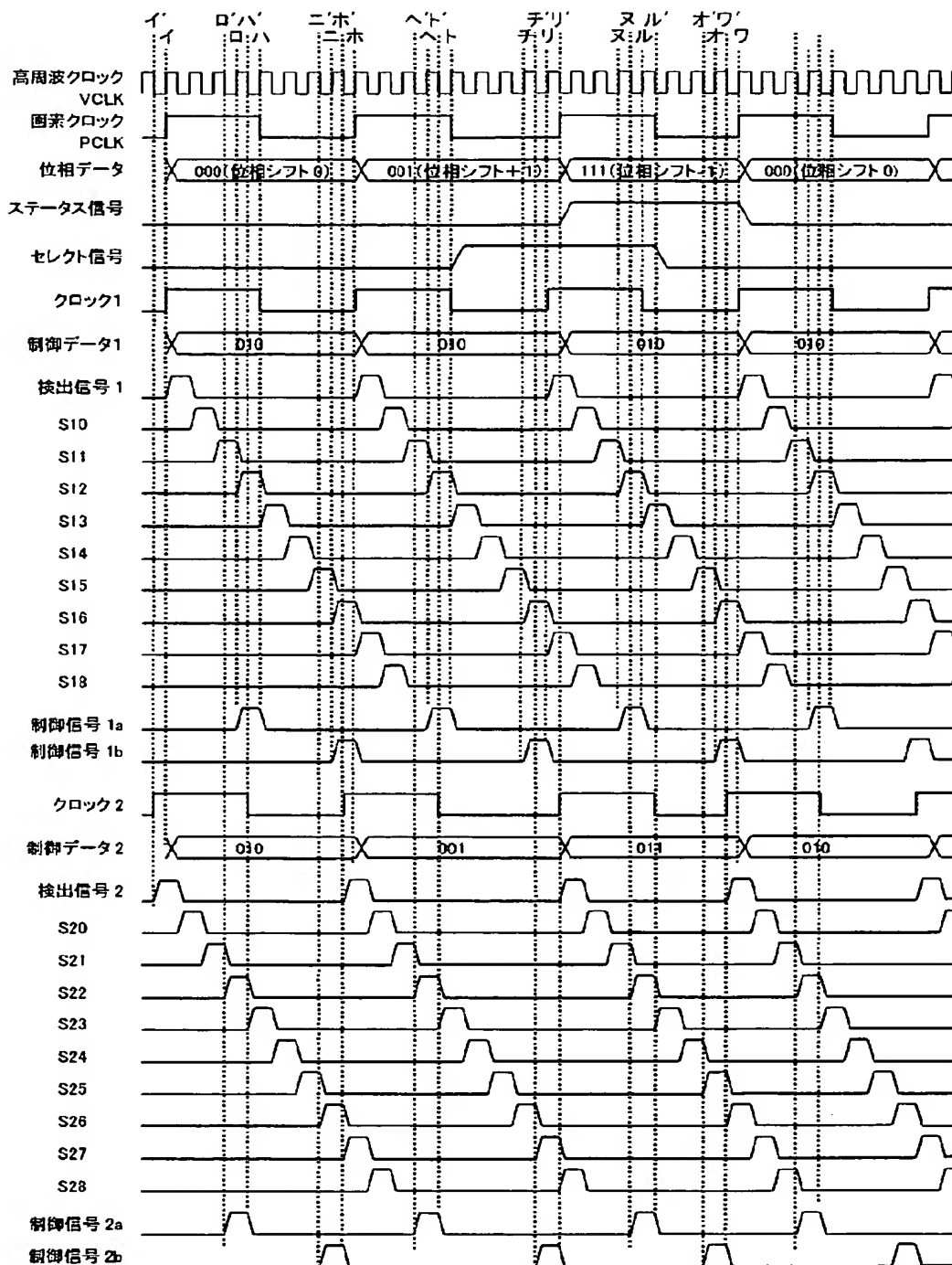
【図 2 2】

制御データ1 制御データ2	制御信号1b	制御信号2b
000	S18	S28
001	S17	S27
010	S16	S26
011	S15	S25
100	S14	S24

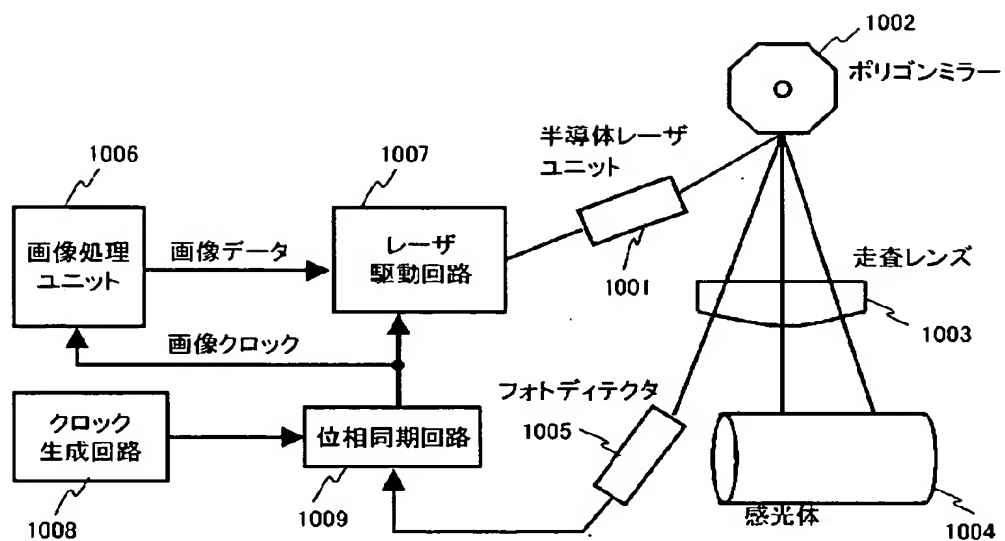
【図 2 3】

位相データ 3bit	ステータス 信号	制御データ1	制御データ2
000	0	010	010
000	1	010	010
001	0	010	001
001	1	001	010
010	0	001	001
010	1	001	001
011	0	001	000
011	1	000	001
111	0	011	010
111	1	010	011
110	0	011	011
110	1	011	011
101	0	100	011
101	1	011	100

【図 24】



【図 25】



【書類名】 要約書

【要約】

【課題】 簡単な構成で、位相同期のとれた画素クロックの位相制御を可能にする。

【解決手段】 高周期クロック VCLK を生成する手段 11、画素クロックの出力スタートタイミングを示す水平同期信号を VCLK に同期させた位相同期信号として出力する手段 15、位相同期信号あるいは画素クロック PCLK の立上がりまたは立下がりを検出し、VCLK の 1 クロック幅のパルス信号を検出信号として出力する手段 12、検出信号と PCLK の遷移タイミングを指示する位相データに基づいて制御信号 a, b を生成する手段 13、制御信号 a, b に基づいて画素クロックの画素クロックの遷移を行う手段 14 を備える。

【選択図】 図 2

特願 2003-031057

出 願 人 履 歴 情 報

識別番号

[000006747]

1. 変更年月日

2002年 5月17日

[変更理由]

住所変更

住 所

東京都大田区中馬込1丁目3番6号

氏 名

株式会社リコー